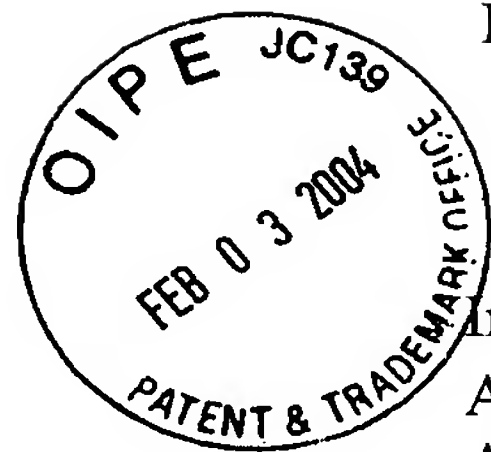


Patent

Customer No. 31561
Application No.: 10/605,356
Docket No. 10724-US-PA



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hsu
Application No. : 10/605,356
Filed : September 25, 2003
For : FLIP-CHIP PACKAGE SUBSTRATE
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092205531, filed on: 2003/04/09.

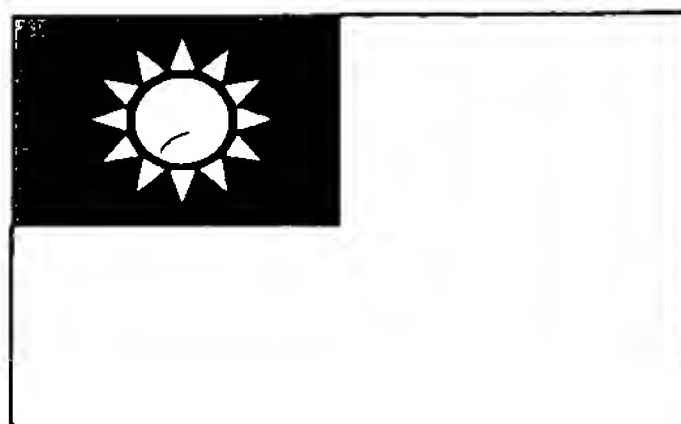
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 30, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 09 日
Application Date

申請案號：092205531
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General
蔡練生

發文日期：西元 2003 年 10 月 7 日
Issue Date

發文字號：03221007520
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	覆晶封裝基板
	英 文	FLIP-CHIP PACKAGE SUBSTRATE
二、 創作人 (共1人)	姓 名 (中 文)	1. 許志行
	姓 名 (英 文)	1. Chi-Hsing Hsu
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsintien, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA Technologies, Inc.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中 文)	1. 王雪紅
	代表人 (英 文)	1. Hsiueh-Hong WANG

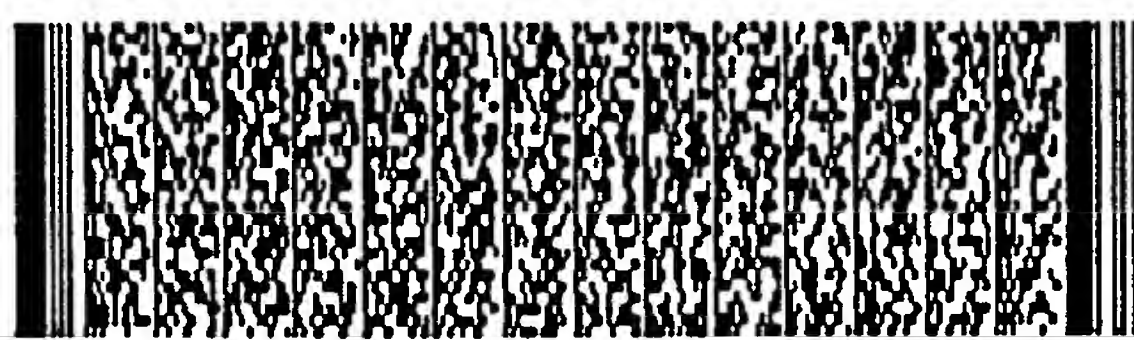


四、中文創作摘要 (創作名稱：覆晶封裝基板)

一種覆晶封裝基板，具有一第一表面及對應之一第二表面，覆晶晶片適於配置在基板之第一表面上，並與基板電性連接，晶片具有一等分晶片之中心線，而基板還具有一周邊接墊配置區域，位在基板之第二表面上，周邊接墊配置區域具有一中心線附近區域，中心線係橫越中心線附近區域，基板周邊接墊配置區域還具有多個中心接墊，位在中心線附近區域上。其中在中心線附近區域上，中心線的兩側分別排列有三排之中心接墊，其排列方向係與中心線平行，而中心線係橫越相鄰兩排之中心接墊之間，且作為訊號傳輸之中心接墊的數目除以全部之中心接墊的數目所得之比值係小於或等於 $2/7$ 。

陸、英文創作摘要 (創作名稱：FLIP-CHIP PACKAGE SUBSTRATE)

A flip-chip package substrate has a first surface and a corresponding second surface. A chip is adapted to be placed on the first surface of the substrate and electrically connected with the substrate. The chip has a centerline dividing into equal parts of the chip. The substrate has a peripheral-connection located region placed on the second surface of the substrate. The peripheral-connection located region has a neighboring centerline region through which the centerline of the chip passes. The substrate has



四、中文創作摘要 (創作名稱：覆晶封裝基板)

伍、(一)、本案代表圖為：第____4____圖

(二)、本案代表圖之元件代表符號簡單說明：

210：基板 222a：第一中心接墊

222b：第二中心接墊 222c：第三中心接墊

222d：第四中心接墊 222e：一般接墊

226：核心接墊配置區域

228：周邊接墊配置區域

229a：第一中心線附近區域

229b：第二中心線附近區域

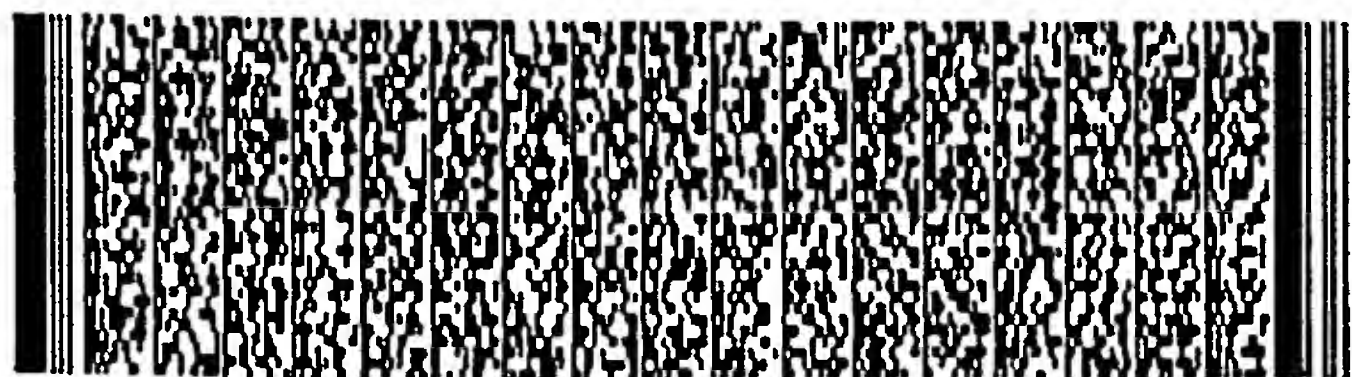
229c：第三中心線附近區域

229d：第四中心線附近區域

230：晶片 231：局部區域

陸、英文創作摘要 (創作名稱：FLIP-CHIP PACKAGE SUBSTRATE)

multiple center connections placed on the neighboring centerline region. Within the neighboring centerline region, on the both sides of the centerline of the chip are respectively lined with the center connections in three rows. The lining direction of the center connections is parallel to the direction of extending the centerline. The centerline passes between the abutting rows arranged with the center connections. The rate of the number of the center connections for signal transmission to the number



四、中文創作摘要 (創作名稱：覆晶封裝基板)

234a : 第一對邊

234b : 第一對邊

234c : 第二對邊

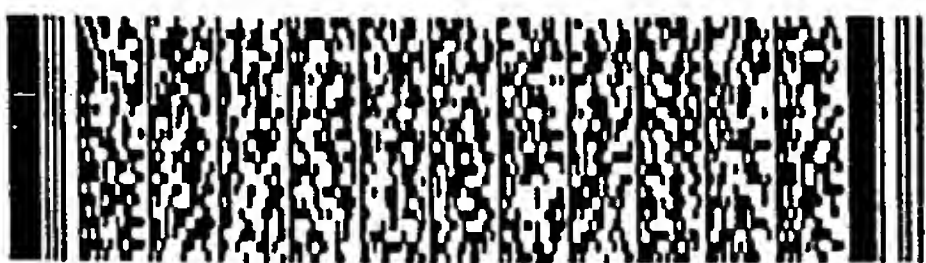
234d : 第二對邊

236a : 第一中心線

236b : 第二中心線

陸、英文創作摘要 (創作名稱：FLIP-CHIP PACKAGE SUBSTRATE)

of the all center connections is equal to or less than 2/7.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

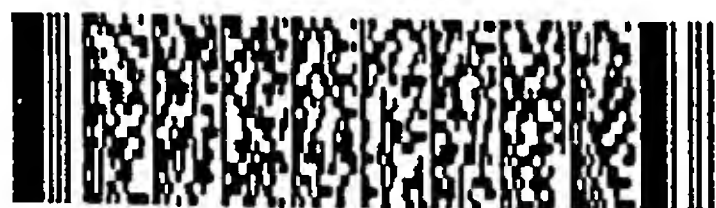
二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

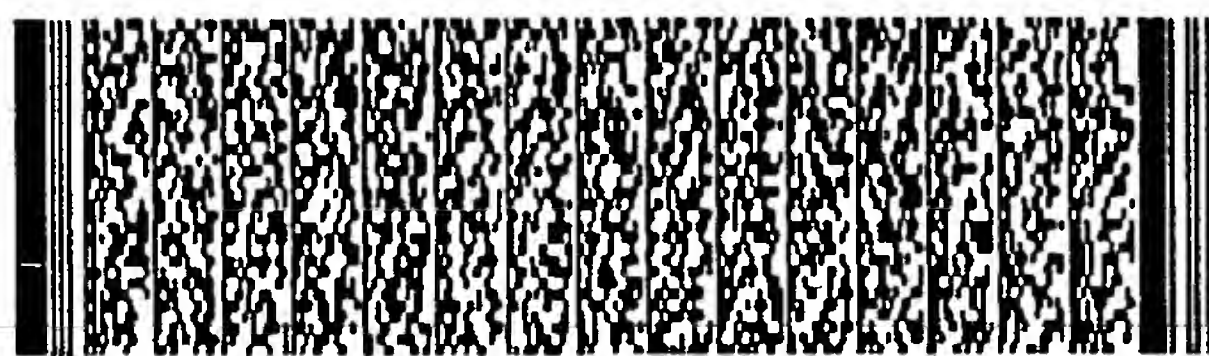
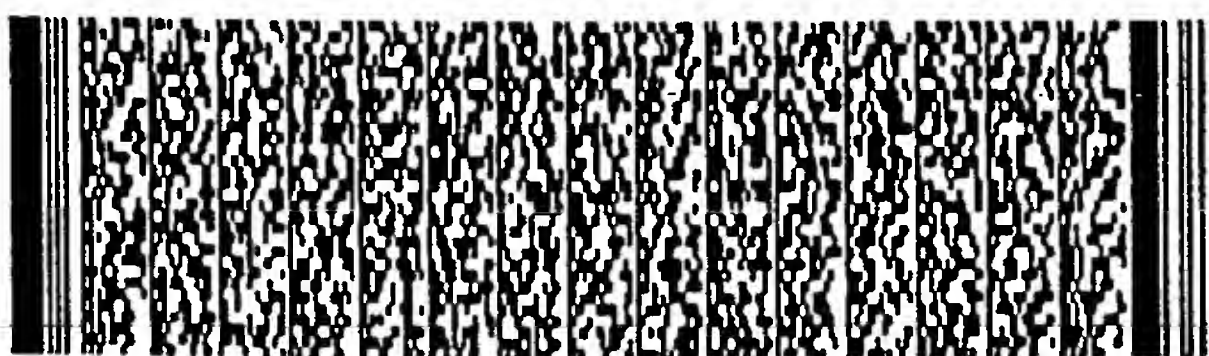
【 新 型 所 屬 之 技 術 領 域 】

本創作是有關於一種封裝基板，且特別是有關於一種具有良好電性效能之覆晶封裝基板。

【 先 前 技 術 】

在現今的資訊社會中，均追求高速度、高品質、多工能性的產品，而就產品外觀而言，係朝向輕、薄、短、小的趨勢邁進。一般電子產品均具有半導體晶片及與半導體晶片連接的基板，而透過基板之傳輸線路，半導體晶片就可以從母板或外界接收到訊號，或傳送訊號到母板上或外界。因此，基板之訊號傳輸品質對於半導體晶片之運算處理有決定性的影響。

然而，基板的訊號傳輸品質會受到基板線路佈局的影響，如下所述。第1圖繪示習知覆晶封裝結構的剖面示意圖，第2圖繪示在第1圖中基板之繞線的局部放大上視示意圖。請先參照第1圖，基板110具有多個凸塊墊112及多個鐳球墊122，凸塊墊112係位在基板110之第一表面114上，鐳球墊122係位在基板110之第二表面124上，透過基板110之內部線路(未繪示)，凸塊墊112可以與鐳球墊122電性連接。晶片130係透過凸塊132與基板110之凸塊墊112接合，並與基板110電性連接，底膠140 (underfill)係填入於晶片130與基板110之間，並包覆凸塊132，而鐳球150係位在鐳球墊122上。而基板110藉由鐳球150可以與外部電路(未繪示)電性連接，如此晶片130便可以與外部電路進行訊號的傳遞。



五、創作說明 (2)

請同時參照第1圖及第2圖，一般在鐳球墊(ball pad)的佈局上，係可以分成鐳球墊核心配置區域126及鐳球墊周邊配置區域128，鐳球墊核心配置區域126係位於基板110之第二表面124的中間區域，鐳球墊周邊配置區域128係環繞在鐳球墊核心配置區域126的外圍。在鐳球墊核心配置區域126上及鐳球墊周邊配置區域128上均配置有鐳球墊122。一般而言，位在鐳球墊核心配置區域126上之鐳球墊均是作為電源/接地之用或是無電性功能，而在鐳球墊周邊配置區域128上係隨機分佈有用於訊號傳輸的鐳球墊122（如第2圖中代號為1的鐳球墊）、連接電源平面的鐳球墊122（如第2圖中代號為2的鐳球墊）、連接接地平面的鐳球墊122（如第2圖中代號為3的鐳球墊）及無電性功能的鐳球墊122（如第2圖中代號為4的鐳球墊）。如上所述，用於訊號傳輸的鐳球墊均是位在鐳球墊周邊配置區域128上。

因此，請參照第2圖，晶片130必須要透過扇出到基板110周邊區域的線路111及導通孔113內之金屬線路，才能達成訊號傳輸的目的，透過線路111及導通孔113內之金屬線路可以使凸塊墊112與用於訊號傳輸的鐳球墊122（如第2圖中代號為1的鐳球墊）電性連接。其中晶片130具有一中心線134，係等分晶片130，由於在靠近晶片130之中心線134附近的位置，其佈線面積較小，因此在靠近晶片130之中心線134附近的線路（比如是線路111a、111b、111c、111d、111e、111f）會平行晶片130之中心線134延伸一段甚長的距離，而相鄰之線路111a、111b、111c、111d、



五、創作說明 (3)

111e、111f 在平行區段之間的間隙p (pitch) 又甚短，若是訊號經過線路111a、111b、111c、111d、111e、111f 傳輸時，則會產生較多的雜訊，降低電性效能。

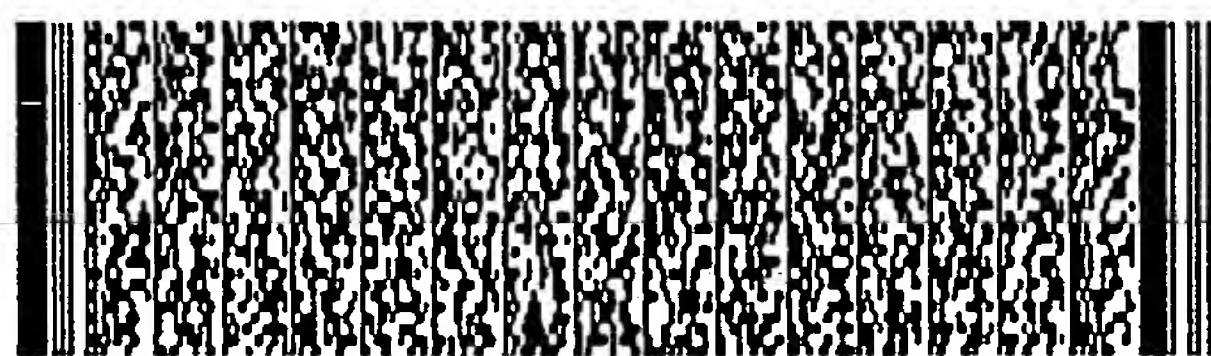
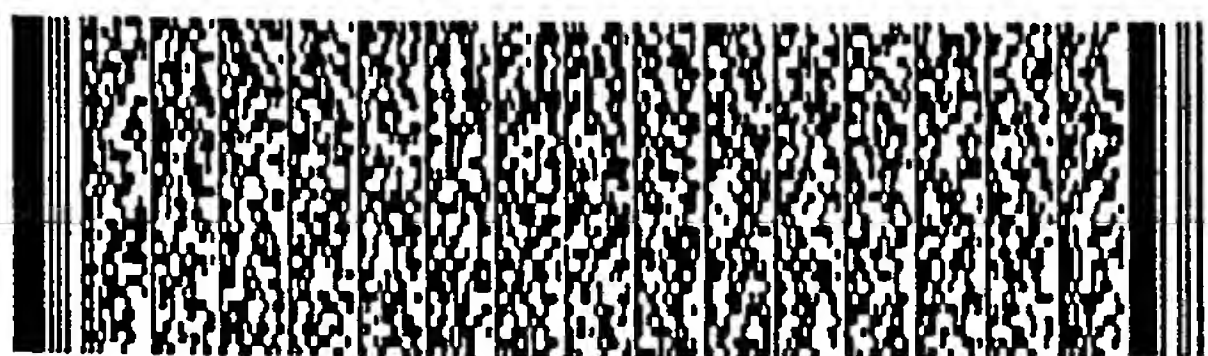
【新型內容】

有鑑於此，本創作的目的之一是提出一種基板，可以使得在靠近晶片之中心線的相鄰線路之間具有較大的間隙，而能夠提高基板之電性效能。

在敘述本創作之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

為達本創作之上述目的，提出一種基板，具有一第一表面及對應之一第二表面，晶片適於配置在基板之第一表面上，並與基板電性連接，晶片具有一等分晶片之中心線，而基板還具有一周邊接墊配置區域，位在基板之第二表面上，周邊接墊配置區域具有一中心線附近區域，中心線係橫越中心線附近區域，基板還具有多個中心接墊，位在中心線附近區域上。

依照本創作之一較佳實施例，在中心線附近區域上，中心線的兩側分別排列有三排之中心接墊，其排列方向係與中心線平行，而中心線係橫越相鄰兩排之中心接墊之間，且作為訊號傳輸之中心接墊的數目除以全部之中心接墊的數目所得之比值係小於或等於 $2/7$ 。



五、創作說明 (4)

依照本創作之一較佳實施例，在中心線附近區域上，係排列有五排之中心接墊，其排列方向係與中心線平行，而中心線係橫越正中間一排之中心接墊，且作為訊號傳輸之中心接墊的數目除以全部之中心接墊的數目所得之比值係小於 $2/7$ 。

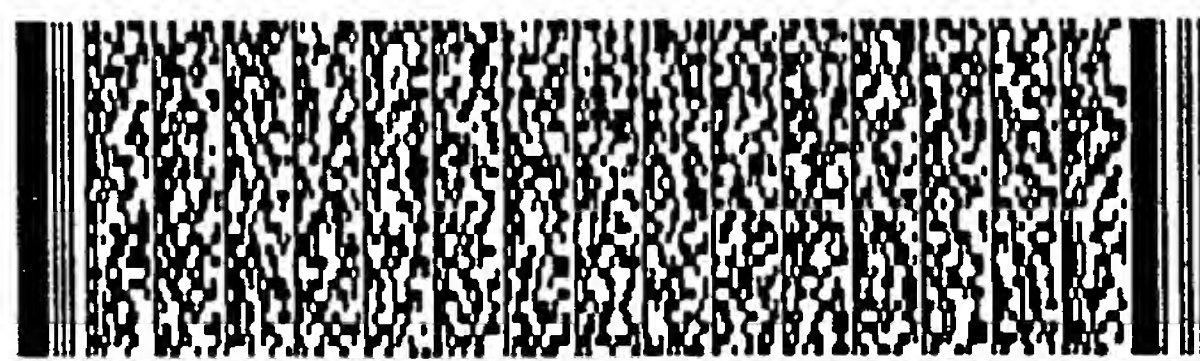
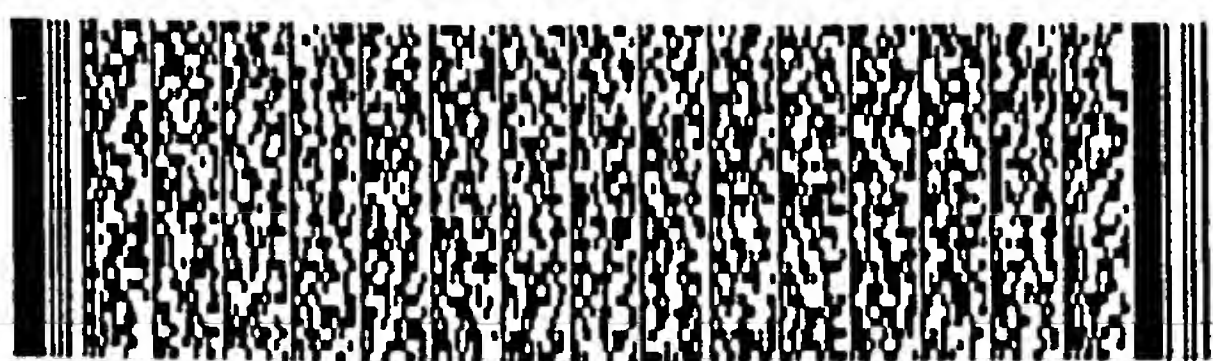
綜上所述，本創作之基板，由於在中心線附近區域中，作為訊號傳輸之中心接墊配置甚少，因此在基板的繞線上，可以避免靠近晶片之中心線之多條線路平行於中心線延伸甚長的距離，而僅是在平行於中心線延伸一小段距離之後，便向外展開，使得相鄰線路之間的間距可以逐漸加大，故可以減少線路之間產生串音的情形，藉以降低線路在傳輸訊號時產生雜訊的情形。

為讓本創作之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第一較佳實施例

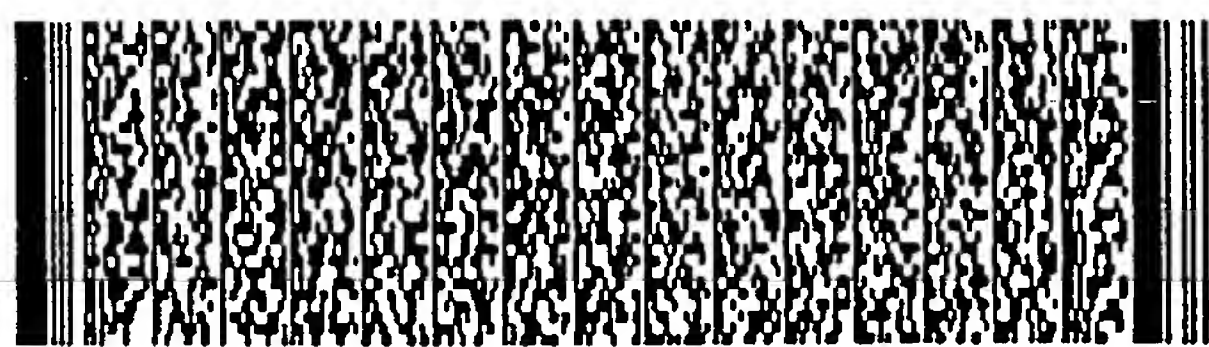
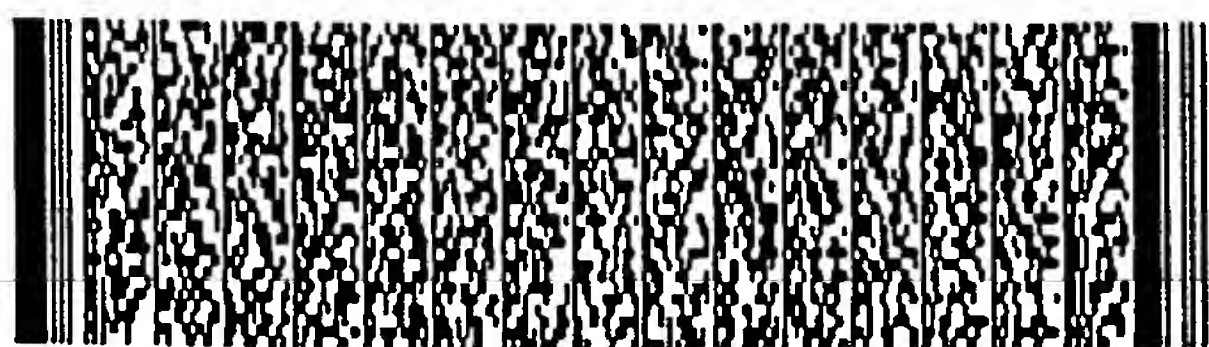
請先參照第3圖，其繪示依照本創作第一較佳實施例之覆晶封裝結構的剖面示意圖。基板210具有多個凸塊墊212及多個接墊222，凸塊墊212係位在基板210之第一表面214上，接墊222係位在基板210之第二表面224上，透過基板210之內部線路(未繪示)，凸塊墊212可以與接墊222電性連接。晶片230比如透過凸塊232與基板210之凸塊墊212接合，並與基板210電性連接，底膠240 (underfill)係填



五、創作說明 (5)

入於晶片230與基板210之間，並包覆凸塊232，而接點250係位在接墊222上，其中接點250可為鐳球、針腳或電極塊等導電結構，在本實施例中係以鐳球為例。基板210藉由接點250可以與外部電路(未繪示)電性連接，如此晶片230便可以與外部電路進行訊號的傳遞。

基板210比如包括三層絕緣層262a、262b、262c、四層導電層264a、264b、264c、264d、多個導通孔線路266a、266b、266c及二層焊罩層268a、268b，其中導電層264a、264b、264c、264d係依序相互重疊，而絕緣層262a、262b、262c分別配置在二相鄰之導電層264a、264b、264c、264d之間，用以電性隔離導電層264a、264b、264c、264d，導通孔線路266a、266b、266c係貫穿絕緣層262a、262b、262c之其中至少一層，用以電性連接導電層264a、264b、264c、264d之其中至少二層。其中絕緣層262a、262b、262c的材質比如是玻璃環氧基樹脂(FR-4、FR-5)、雙順丁烯二酸醯亞胺-三氮雜苯(Bismaleimide-Triazine, BT)、環氧樹脂(epoxy)、聚亞醯胺(polyimide)或陶瓷等；導電層264a、264b、264c、264d的材質比如是銅。焊罩層268a、268b分別位在絕緣層262a、262c上及導電層264a、264d上，用以保護導電層264a、264d，焊罩層268a具有多個開口269a，分別暴露出導電層264a，藉以形成凸塊墊212，可以與凸塊232接合；焊罩層268b具有多個開口269b，分別暴露出導電層264d，藉以形成接墊222，可以與比如是鐳球的接點250接合。如



五、創作說明 (6)

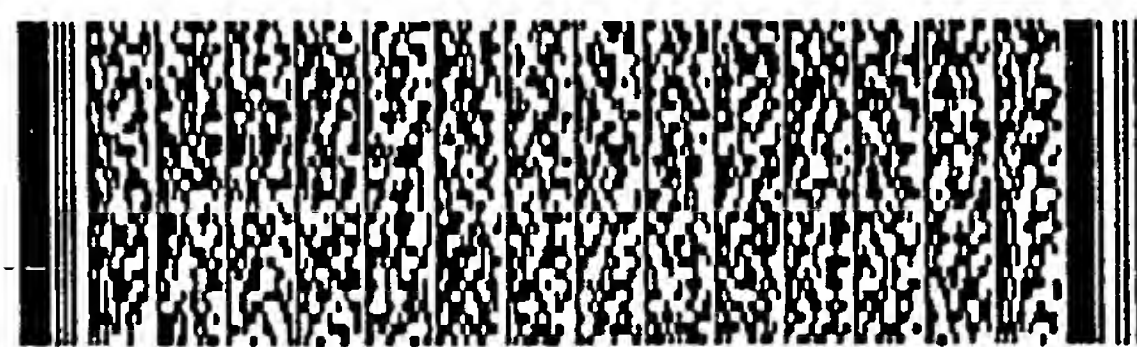
上所述，凸塊墊212係由基板210最靠近第一表面214之導電層264a所構成，而接墊222係由基板210最靠近第二表面224之導電層264d所構成。

在上述的較佳實施例中，係以四層板為例，然而本創作的應用並不限於此，基板亦可以是六層板、八層板或是其他層數之多層板等。

請參照第3圖及第4圖，其中第4圖繪示依照本創作第一較佳實施例在第3圖中基板之接墊佈局的下視示意圖。基板210具有一核心接墊配置區域226(如第4圖之中間打點區域)及一周邊接墊配置區域228(如第4圖之周圍未打點區域)，均位在基板210之該第二表面224上，周邊接墊配置區域228係環繞在核心接墊配置區域226的外圍，在本實施例中，核心接墊配置區域226係緊鄰周邊接墊配置區域228。

虛線所包圍的區域係為晶片230配置在基板210之第一表面214上投影至第二表面的區域，晶片230具有相對應之二第一對邊234a、234b、相對應之二第二對邊234c、234d、一第一中心線236a及一第二中心線236b，第一中心線236a係垂直等分第一對邊234a、234b，第二中心線236b係垂直等分第二對邊234c、234d。

周邊接墊配置區域228具有一第一中心線附近區域229a、一第二中心線附近區域229b、一第三中心線附近區域229c及一第四中心線附近區域229d。第一中心線附近區域229a及第二中心線附近區域229b係位在晶片230對應之

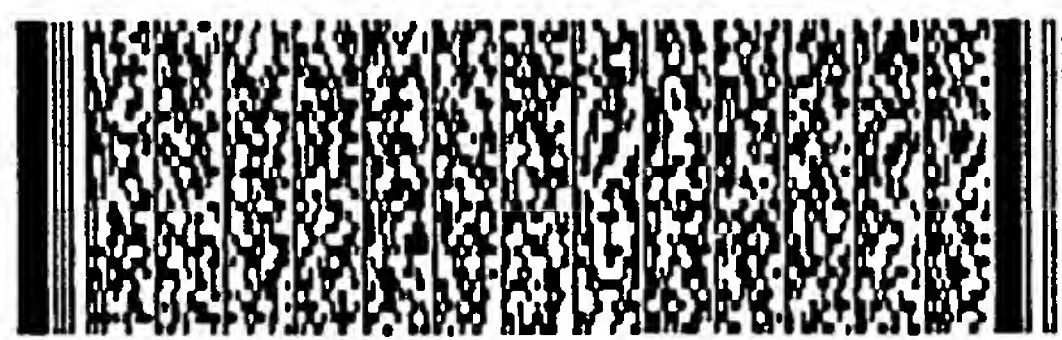
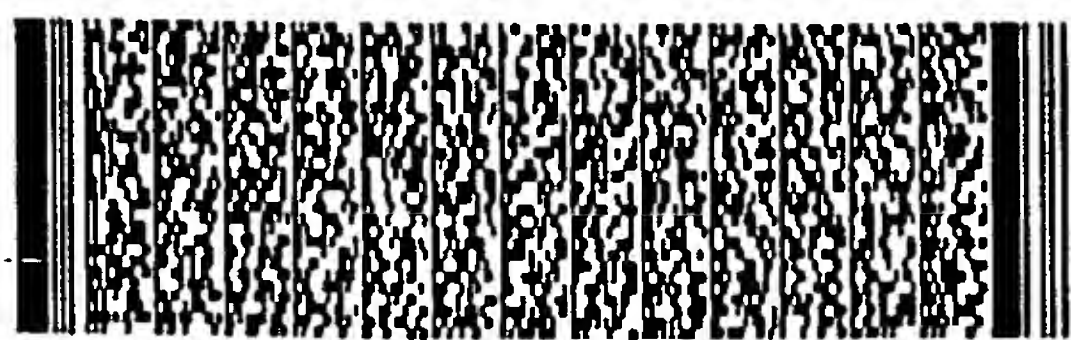


五、創作說明 (7)

兩側，亦即分別靠近晶片230之第一對邊234a、234b。第三中心線附近區域229c及第四中心線附近區域229d係位在晶片230對應之另外兩側，亦即分別靠近晶片230之第二對邊234c、234d。其中晶片230之第一中心線236a橫越第一中心線附近區域229a及第二中心線附近區域229b，晶片230之第二中心線236b橫越第三中心線附近區域229c及第四中心線附近區域229d。

為方便解說，本創作係將位在基板210之第二表面224上的接墊222區分成第一中心接墊222a、第二中心接墊222b、第三中心接墊222c、第四中心接墊222d及一般接墊222e。部份之一般接墊222e位在核心接墊配置區域226上，而另一部份之一般接墊222e位在周邊接墊配置區域228上，並遠離晶片230之第一中心線236a及第二中心線236b。第一中心接墊222a位在第一中心線附近區域229a上，第二中心接墊222b位在第二中心線附近區域229b上，第三中心接墊222c位在第三中心線附近區域229c上，第四中心接墊222d位在第四中心線附近區域229d上。

另外，接墊222係可以作為訊號(signal)傳輸之用，如第4圖中代號為1的接墊；接墊222亦可以與電源平面(未繪示)電性連接，作為電源接墊，如第4圖中代號為2的接墊；接墊222亦可以與接地平面(未繪示)電性連接，作為接地接墊，如第4圖中代號為3的接墊；接墊222亦可以是無電性功能的接墊，如第4圖中代號為4的接墊。一般而言，位在核心接墊配置區域226上之一般接墊222e均為非



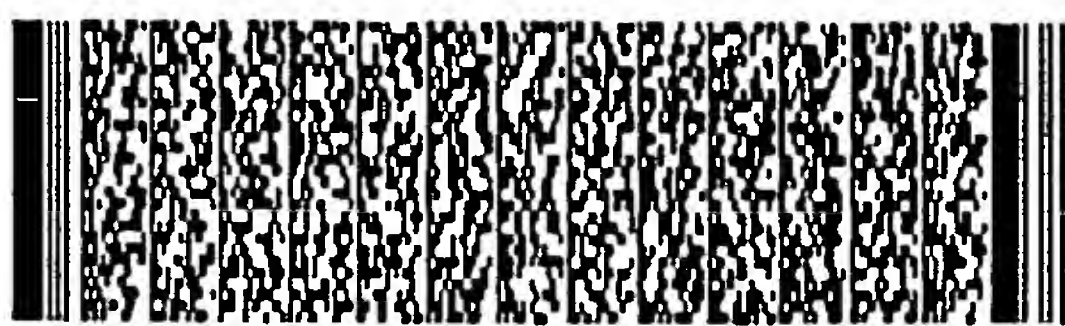
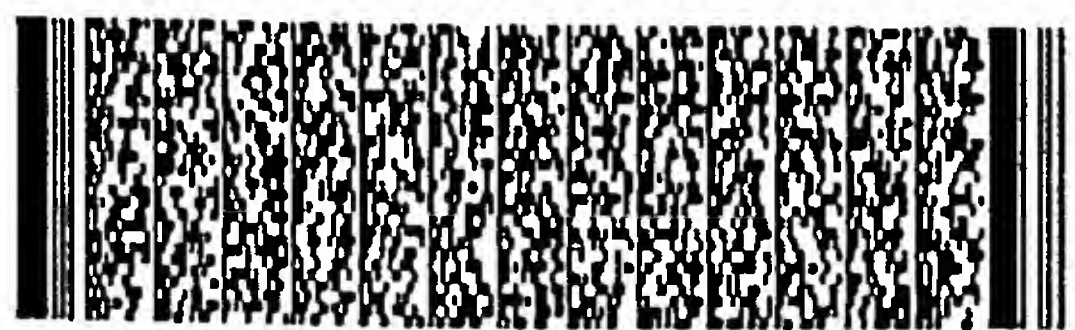
五、創作說明 (8)

訊號(non-signal)傳輸功能的接墊，或是至少有百分之九十以上係為非訊號傳輸功能的接墊。

請繼續參照第4圖，其中在第一中心線附近區域229a上及在第二中心線附近區域229b上，第一中心線236a的兩側分別排列有三排之第一中心接墊222a及第二中心接墊222b，其排列方向係與第一中心線236a平行，而第一中心線236a係橫越相鄰兩排之第一中心接墊222a之間及相鄰兩排之第二中心接墊222b之間，且作為訊號傳輸之第一中心接墊222a(代號1)的數目除以全部之第一中心接墊222a的數目所得之比值係小於或等於 $2/7$ ，而作為訊號傳輸之第二中心接墊222b(代號1)的數目除以全部之第二中心接墊222b的數目所得之比值係小於或等於 $2/7$ 。

另外，在第三中心線附近區域229c上及在第四中心線附近區域229d上，第二中心線236b的兩側分別排列有三排之第三中心接墊222c及第四中心接墊222d，其排列方向係與第二中心線236b平行，而第二中心線236b係橫越相鄰兩排之第三中心接墊222c之間及相鄰兩排之第四中心接墊222d之間，且作為訊號傳輸之第三中心接墊222c(代號1)的數目除以全部之第三中心接墊222c的數目所得之比值係小於或等於 $2/7$ ，而作為訊號傳輸之第四中心接墊222d(代號1)的數目除以全部之第四中心接墊222d的數目所得之比值係小於或等於 $2/7$ 。

請參照第3圖及第4圖，一般就訊號傳輸而言，由於用於訊號傳輸的接墊222均是位在周邊接墊配置區域228上，



五、創作說明 (9)

因此晶片230必須要透過導電層264a之扇出到基板210周邊區域的線路272，才能達成訊號傳輸的目的。由第3圖可知，與凸塊墊212連接的線路272可以透過導通孔線路266a與導電層264b之線路電性連接，導電層264b之線路可以透過導通孔線路266b與導電層264c之線路電性連接，導電層264c之線路可以透過導通孔線路266c與導電層264d之線路電性連接，如此便可以使凸塊墊212與用於訊號傳輸的接墊222(代號1)電性連接。

請參照第5圖，由於在第一中心線附近區域229a中，作為訊號傳輸之第一中心接墊222a(代號1)配置甚少，且其數目除以全部之第一中心接墊222a的數目所得之比值係小於或等於 $2/7$ ，因此可以避免靠近晶片230之第一中心線236a之多條線路272a、272b、272c、272d、272e、272f、272g、272h平行於第一中心線236a延伸甚長的距離，而僅是在平行於第一中心線236a延伸一小段距離之後，便向外展開，使得相鄰線路272a、272b、272c、272d、272e、272f、272g、272h之間的間距可以逐漸加大，故可以減少線路272a、272b、272c、272d、272e、272f、272g、272h之間產生串音(cross-talk)的情形，藉以降低線路272a、272b、272c、272d、272e、272f、272g、272h在傳輸訊號時產生雜訊的情形。

在上述第一較佳實施例中，核心接墊配置區域係緊鄰周邊接墊配置區域，然而本創作的應用並非限於此，如第6圖所示，其繪示依照本創作第一較佳實施例中基板接墊



五、創作說明 (10)

佈局之另一種形式的示意圖，其中核心接墊配置區域326(如第6圖之中間打點區域)與周邊接墊配置區域328(如第6圖之周圍未打點區域)之間亦可以隔有一段距離。一般而言，位在核心接墊配置區域326上之接墊322均為非訊號傳輸功能的接墊，或是至少有百分之九十以上係為非訊號傳輸功能的接墊。而周邊接墊配置區域328的四邊與晶片330之中心線336a、336b交會處的附近，均配置有如第一較佳實施例所述之接墊佈局，在此便不再贅述。

第二較佳實施例

在上述第一較佳實施例中，晶片之中心線的兩側分別配置有三排中心接墊位在周邊接墊配置區域上，中心線係橫越相鄰兩排之中心接墊之間，且在其中一中心線附近區域上，作為訊號傳輸之中心接墊的數目除以全部之中心接墊的數目所得之比值係小於或等於 $2/7$ 。然而，本創作的應用並不限於此，如第7圖所示，其繪示依照本創作第二較佳實施例之基板接墊佈局的示意圖。其中在第一中心線附近區域429a上及在第二中心線附近區域429b上，係分別排列有五排之第一中心接墊422a及第二中心接墊422b，其排列方向係與晶片430之第一中心線436a平行，而第一中心線436a係橫越正中間一排之第一中心接墊422a及第二中心接墊422b，且作為訊號傳輸之第一中心接墊422a(代號1)的數目除以全部之第一中心接墊422a的數目所得之比值係小於或等於 $2/7$ ，而作為訊號傳輸之第二中心接墊



五、創作說明 (11)

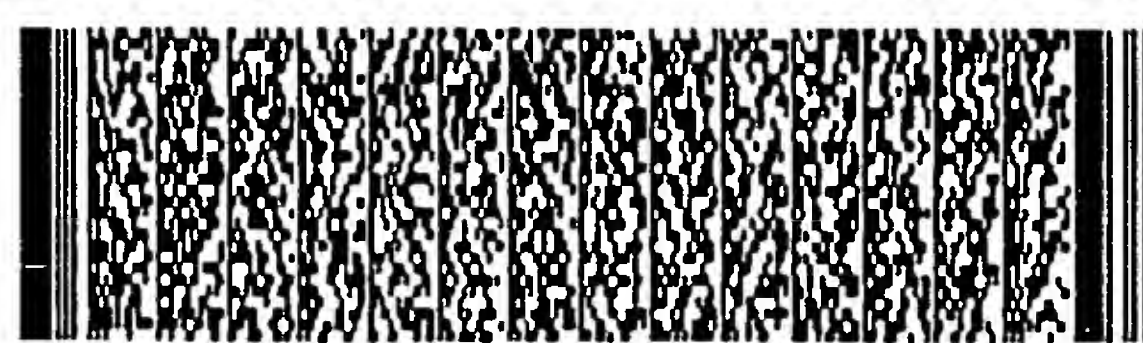
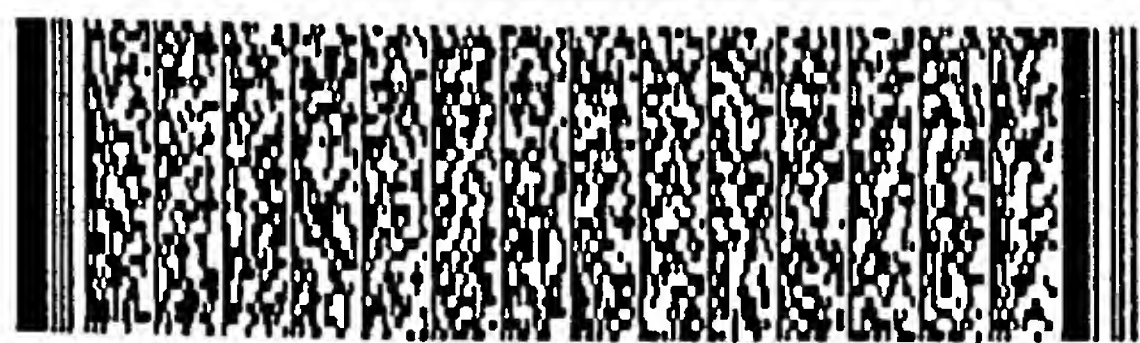
422b(代號1)的數目除以全部之第二中心接墊422b的數目所得之比值係小於或等於 $2/7$ 。

在第三中心線附近區域429c上及在第四中心線附近區域429d上，係分別排列有五排之第三中心接墊422c及第四中心接墊422d，其排列方向係與晶片430之第二中心線436b平行，而第二中心線436b係橫越正中間一排之第三中心接墊422c及第四中心接墊422d，且作為訊號傳輸之第三中心接墊422c(代號1)的數目除以全部之第三中心接墊422c的數目所得之比值係小於或等於 $2/7$ ，而作為訊號傳輸之第四中心接墊422d(代號1)的數目除以全部之第四中心接墊422d的數目所得之比值係小於或等於 $2/7$ 。

由於在中心線附近區域429a、429b、429c、429c中，作為訊號傳輸之中心接墊422a(代號1)、422b(代號1)、422c(代號1)、422d(代號1)配置甚少，因此在基板之繞線上，可以避免靠近晶片430之中心線436a、436b之多條線路平行於中心線436a、436b延伸甚長的距離，而僅是在平行於中心線436a、436b延伸一小段距離之後，便向外展開，使得相鄰線路之間的間距可以逐漸加大，故可以減少線路之間產生串音的情形，藉以降低線路在傳輸訊號時產生雜訊的情形。

結論

請參照第8圖所示，其繪示依照本創作之基板接墊佈局的示意圖。在實際應用上，只要在任一中心線線附近區

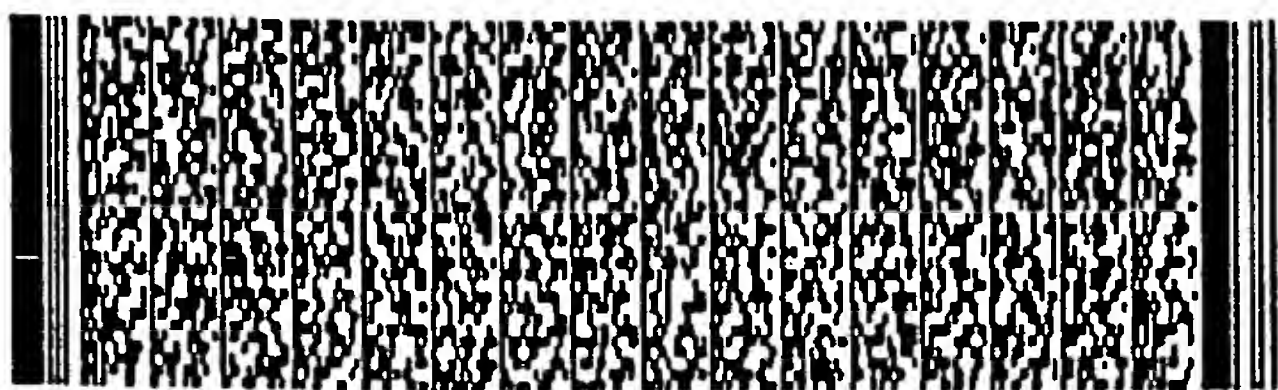


五、創作說明 (12)

域529a、529b、529c、529d、內，有如第一較佳實施例或第二較佳實施例的中心接墊佈局，均在本創作的保護範圍內。或者，如第一較佳實施例之中心接墊佈局可以與如第二較佳實施例之中心接墊佈局混合應用，比如在第一中心線附近區域529a上及在第二中心線附近區域529b上，係配置如第一較佳實施例之中心接墊佈局，而在第三中心線附近區域529c上及在第四中心線附近區域529d上，係配置如第二較佳實施例之中心接墊佈局；或是比如在第一中心線附近區域529a上及在第三中心線附近區域529c上，係配置如第一較佳實施例之中心接墊佈局，而在第二中心線附近區域529b上及在第四中心線附近區域529d上，係配置如第二較佳實施例之中心接墊佈局。

另外，在上述的第一較佳實施例與第二較佳實施例中，在第一中心線附近區域及第二中心線附近區域上，平行於第一中心線的每排第一中心接墊及第二中心接墊均具有三個，然而在實際應用上並不限於此，平行於第一中心線的每排第一中心接墊及第二中心接墊亦可以是具有其他數目個，比如是兩個、四個、五個、六個或是更多。

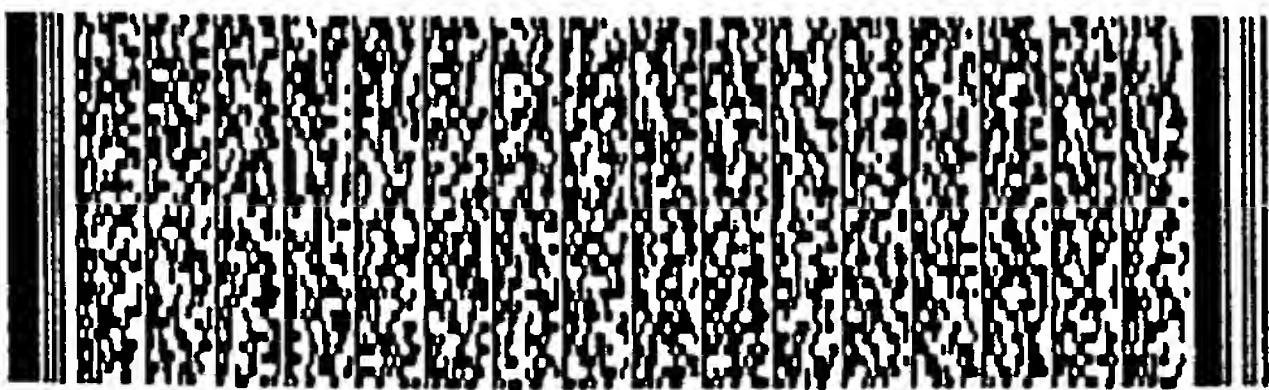
在上述的第一較佳實施例與第二較佳實施例中，在第三中心線附近區域及第四中心線附近區域上，平行於第二中心線的每排第三中心接墊及第四中心接墊均具有三個，然而在實際應用上並不限於此，平行於第二中心線的每排第三中心接墊及第四中心接墊亦可以是具有其他數目個，比如是兩個、四個、五個、六個或是更多。



五、創作說明 (13)

綜上所述，本創作之基板，由於在中心線附近區域中，作為訊號傳輸之中心接墊配置甚少，因此在基板的繞線上，可以避免靠近晶片之中心線之多條線路平行於中心線延伸甚長的距離，而僅是在平行於中心線延伸一小段距離之後，便向外展開，使得相鄰線路之間的間距可以逐漸加大，故可以減少線路之間產生串音的情形，藉以降低線路在傳輸訊號時產生雜訊的情形。

雖然本創作已以至少一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作各種之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知覆晶封裝結構的剖面示意圖。

第2圖繪示在第1圖中基板之繞線的局部放大上視示意圖。

第3圖繪示依照本創作第一較佳實施例之覆晶封裝結構的剖面示意圖。

第4圖繪示依照本創作第一較佳實施例在第3圖中基板之接墊佈局的下視示意圖。

第5圖繪示依照本創作第一較佳實施例在第3圖中基板繞線的局部放大上視示意圖，其中接墊的位置係對應於如第4圖所示位在周邊接墊配置區域中局部區域231內的接墊。

第6圖繪示依照本創作第一較佳實施例中基板接墊佈局之另一種形式的示意圖。

第7圖繪示依照本創作第二較佳實施例之基板接墊佈局的示意圖。

第8圖繪示依照本創作之基板接墊佈局的示意圖。

【圖式標示說明】

110：基板

111a：線路

111c：線路

111e：線路

112：凸塊墊

114：第一表面

111：線路

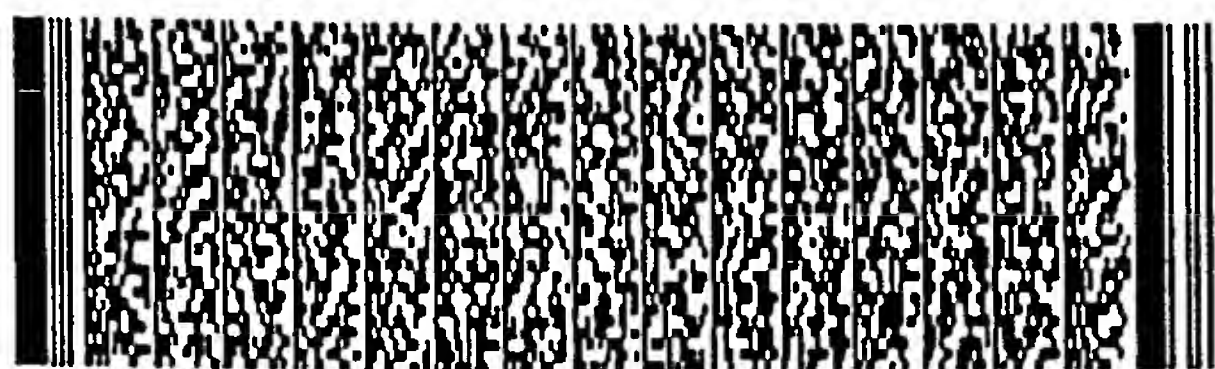
111b：線路

111d：線路

111f：線路

113：導通孔

122：鐳球墊



圖式簡單說明

- | | |
|------------------|---------------|
| 124 : 第二表面 | |
| 126 : 鐳球墊核心配置區域 | |
| 128 : 鐳球墊周邊配置區域 | |
| 130 : 晶片 | 132 : 凸塊 |
| 134 : 中心線 | 140 : 底膠 |
| 150 : 鐳球 | |
| 210 : 基板 | 212 : 凸塊墊 |
| 214 : 第一表面 | 222 : 接墊 |
| 222a : 第一中心接墊 | 222b : 第二中心接墊 |
| 222c : 第三中心接墊 | 222d : 第四中心接墊 |
| 222e : 一般接墊 | 224 : 第二表面 |
| 226 : 核心接墊配置區域 | |
| 228 : 周邊接墊配置區域 | |
| 229a : 第一中心線附近區域 | |
| 229b : 第二中心線附近區域 | |
| 229c : 第三中心線附近區域 | |
| 229d : 第四中心線附近區域 | |
| 230 : 晶片 | 231 : 局部區域 |
| 232 : 凸塊 | 234a : 第一對邊 |
| 234b : 第一對邊 | 234c : 第二對邊 |
| 234d : 第二對邊 | 236a : 第一中心線 |
| 236b : 第二中心線 | 240 : 底膠 |
| 250 : 接點 | 262a : 絕緣層 |
| 262b : 絕緣層 | 262c : 絕緣層 |



圖式簡單說明

264a : 導電層	264b : 導電層
264c : 導電層	264d : 導電層
266a : 導通孔線路	266b : 導通孔線路
266c : 導通孔線路	268a : 焊罩層
268b : 焊罩層	269a : 開口
269b : 開口	272 : 線路
272a : 線路	272b : 線路
272c : 線路	272d : 線路
272e : 線路	272f : 線路
272g : 線路	272h : 線路
322 : 接墊	
326 : 核心接墊配置區域	
328 : 周邊接墊配置區域	
330 : 晶片	336a : 中心線
336b : 中心線	
422a : 第一中心接墊	422b : 第二中心接墊
422c : 第三中心接墊	422d : 第四中心接墊
429a : 第一中心線附近區域	
429b : 第二中心線附近區域	
429c : 第三中心線附近區域	
429d : 第四中心線附近區域	
430 : 晶片	436a : 第一中心線
436b : 第二中心線	
529a : 第一中心線附近區域	

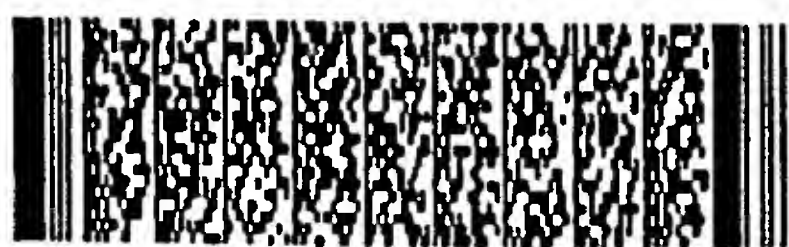


圖式簡單說明

529b : 第二中心線附近區域

529c : 第三中心線附近區域

529d : 第四中心線附近區域



六、申請專利範圍

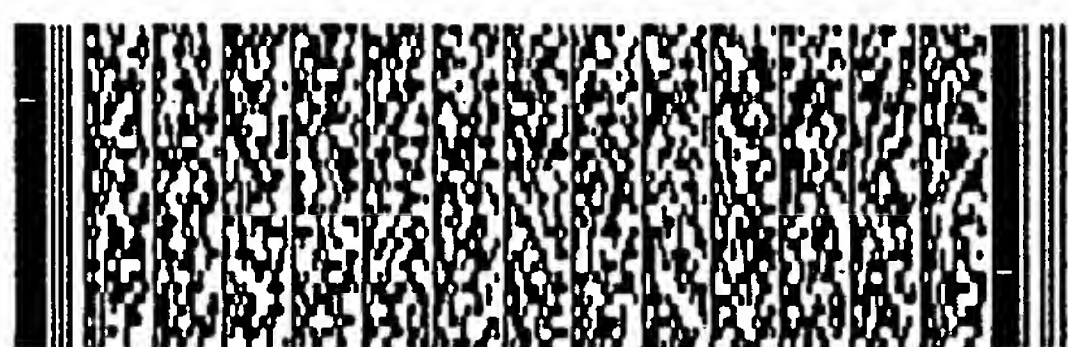
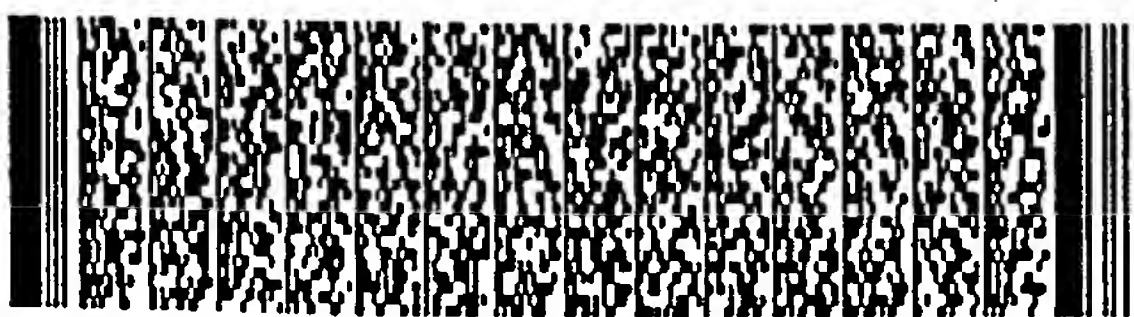
1. 一種覆晶封裝基板，一晶片適於配置在該基板上，並與該基板電性連接，該晶片係為矩行的樣式，且該晶片具有相對應之二第一對邊、相對應之二第二對邊、一第一中心線及一第二中心線，該第一中心線係垂直等分該第二第一對邊，該第二中心線係垂直等分該第二第二對邊，該基板包括：

複數層導電層，依序相互重疊；

複數層絕緣層，分別配置在二相鄰之該些導電層之間，用以電性隔離該些導電層；以及

複數個導通孔線路，貫穿該些絕緣層之其中至少一層，用以電性連接該些導電層之其中至少二層，

其中該基板具有一第一表面及對應之一第二表面，該晶片適於配置在該基板之該第一表面上，而該基板還具有一核心接墊配置區域及一周邊接墊配置區域，均位在該基板之該第二表面上，該周邊接墊配置區域係環繞在該核心接墊配置區域的外圍，該周邊接墊配置區域具有一第一中心線附近區域、一第二中心線附近區域、一第三中心線附近區域及一第四中心線附近區域，該第一中心線附近區域及該第二中心線附近區域係位在該晶片對應之兩側，該第三中心線附近區域及該第四中心線附近區域係位在該晶片對應之另外兩側，該第一中心線橫越該第一中心線附近區域及該第二中心線附近區域，該第二中心線橫越該第三中心線附近區域及該第四中心線附近區域，而最靠近該基板之該第二表面之該導電層具有複數個一般接墊、複數個第



六、申請專利範圍

一中心接墊、複數個第二中心接墊、複數個第三中心接墊及複數個第四中心接墊，部份之該些一般接墊位在該核心接墊配置區域上，而另一部份之該些一般接墊位在該周邊接墊配置區域上，並遠離該第一中心線及該第二中心線，位在該核心接墊配置區域上之該些一般接墊有百分之九十以上係非訊號傳輸功能，該些第一中心接墊位在該第一中心線附近區域上，該些第二中心接墊位在該第二中心線附近區域上，該些第三中心接墊位在該第三中心線附近區域上，該些第四中心接墊位在該第四中心線附近區域上，

其特徵在於，在該第一中心線附近區域上，該第一中心線的兩側分別排列有三排之該些第一中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越相鄰兩排之該些第一中心接墊之間，且作為訊號傳輸之該些第一中心接墊的數目除以全部之該些第一中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

2. 如申請專利範圍第1項所述之覆晶封裝基板，其中在該第二中心線附近區域上，該第一中心線的兩側分別排列有三排之該些第二中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越相鄰兩排之該些第二中心接墊之間，且作為訊號傳輸之該些第二中心接墊的數目除以全部之該些第二中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

3. 如申請專利範圍第1項所述之覆晶封裝基板，其中在該第二中心線附近區域上，係排列有五排之該些第二中



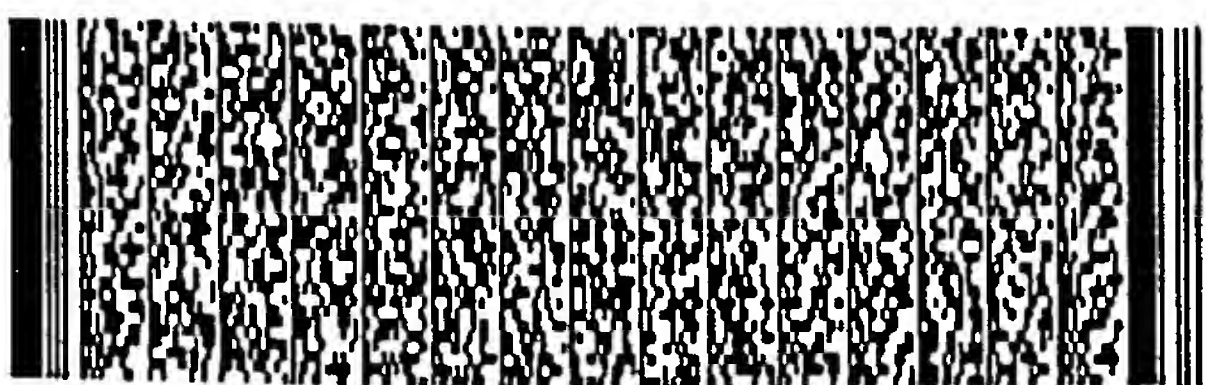
六、申請專利範圍

心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越正中間一排之該些第二中心接墊，且作為訊號傳輸之該些第二中心接墊的數目除以全部之該些第二中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

4. 如申請專利範圍第1項所述之覆晶封裝基板，其中在該第三中心線附近區域上，該第二中心線的兩側分別排列有三排之該些第三中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越相鄰兩排之該些第三中心接墊之間，且作為訊號傳輸之該些第三中心接墊的數目除以全部之該些第三中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

5. 如申請專利範圍第1項所述之覆晶封裝基板，其中在該第三中心線附近區域上，係排列有五排之該些第三中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越正中間一排之該些第三中心接墊，且作為訊號傳輸之該些第三中心接墊的數目除以全部之該些第三中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

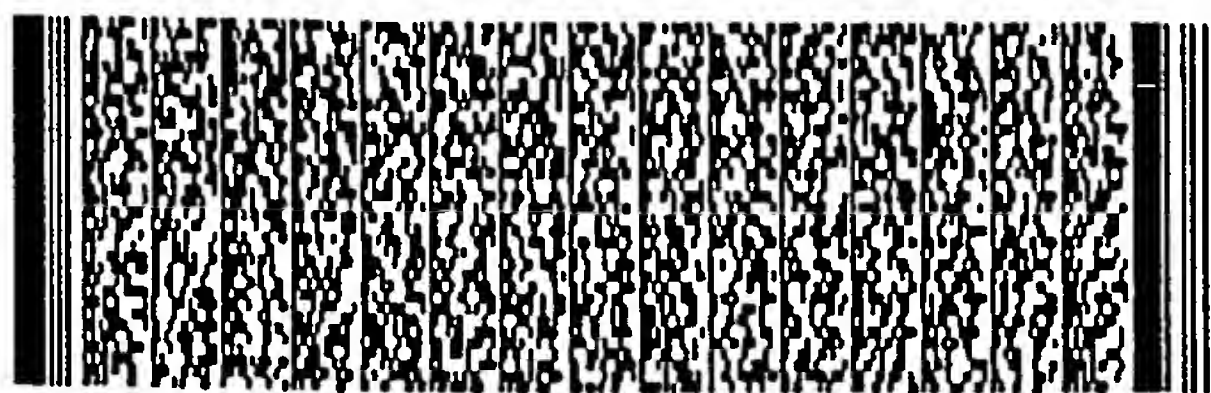
6. 如申請專利範圍第1項所述之覆晶封裝基板，其中在該第二中心線附近區域上，該第一中心線的兩側分別排列有三排之該些第二中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越相鄰兩排之該些第二中心接墊之間，且作為訊號傳輸之該些第二中心接墊的數目除以全部之該些第二中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一，在該第三中心線附近區域上，該第



六、申請專利範圍

二中心線的兩側分別排列有三排之該些第三中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越相鄰兩排之該些第三中心接墊之間，且作為訊號傳輸之該些第三中心接墊的數目除以全部之該些第三中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一，而在該第四中心線附近區域上，該第二中心線的兩側分別排列有三排之該些第四中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越相鄰兩排之該些第四中心接墊之間，且作為訊號傳輸之該些第四中心接墊的數目除以全部之該些第四中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

7. 如申請專利範圍第1項所述之覆晶封裝基板，其中在該第二中心線附近區域上，該第一中心線的兩側分別排列有三排之該些第二中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越相鄰兩排之該些第二中心接墊之間，且作為訊號傳輸之該些第二中心接墊的數目除以全部之該些第二中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一，在該第三中心線附近區域上，係排列有五排之該些第三中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越正中間一排之該些第三中心接墊，且作為訊號傳輸之該些第三中心接墊的數目除以全部之該些第三中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一，而在該第四中心線附近區域上，係排列有五排之該些第四中心接墊，其排列方向係與該第二中



六、申請專利範圍

心線平行，而該第二中心線係橫越正中間一排之該些第四中心接墊，且作為訊號傳輸之該些第四中心接墊的數目除以全部之該些第四中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

8. 如申請專利範圍第1項所述之覆晶封裝基板，其中該核心接墊配置區域係緊鄰該周邊接墊配置區域。

9. 如申請專利範圍第1項所述之覆晶封裝基板，其中該核心接墊配置區域係與該周邊接墊配置區域之間隔有一段距離。

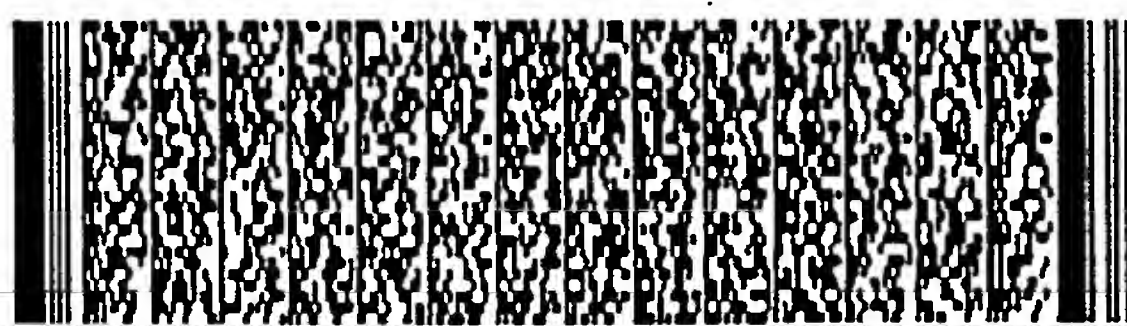
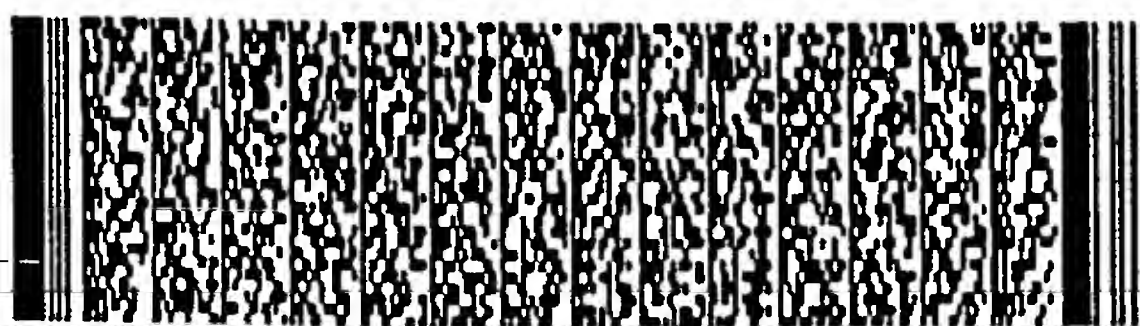
10. 一種覆晶封裝基板，一晶片適於配置在該基板上，並與該基板電性連接，該晶片係為矩形的樣式，且該晶片具有相對應之二第一對邊、相對應之二第二對邊、一第一中心線及一第二中心線，該第一中心線係垂直等分該二第一對邊，該第二中心線係垂直等分該二第二對邊，該基板包括：

複數層導電層，依序相互重疊；

複數層絕緣層，分別配置在二相鄰之該些導電層之間，用以電性隔離該些導電層；以及

複數個導通孔線路，貫穿該些絕緣層之其中至少一層，用以電性連接該些導電層之其中至少二層，

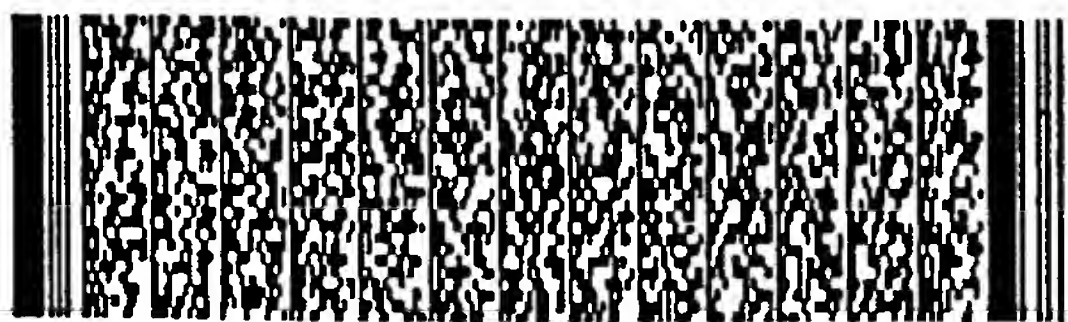
其中該覆晶封裝基板具有一第一表面及對應之一第二表面，該晶片適於配置在該基板之該第一表面上，而該基板還具有一核心接墊配置區域及一周邊接墊配置區域，均位在該基板之該第二表面上，該周邊接墊配置區域係環繞



六、申請專利範圍

在該核心接墊配置區域的外圍，該周邊接墊配置區域具有一第一中心線附近區域、一第二中心線附近區域、一第三中心線附近區域及一第四中心線附近區域，該第一中心線附近區域及該第二中心線附近區域係位在該晶片對應之兩側，該第三中心線附近區域及該第四中心線附近區域係位在該晶片對應之另外兩側，該第一中心線橫越該第一中心線附近區域及該第二中心線附近區域，該第二中心線橫越該第三中心線附近區域及該第四中心線附近區域，而最靠近該基板之該第二表面之該導電層具有複數個一般接墊、複數個第一中心接墊、複數個第二中心接墊、複數個第三中心接墊及複數個第四中心接墊，部份之該些一般接墊位在該核心接墊配置區域上，而另一部份之該些一般接墊位在該周邊接墊配置區域上，並遠離該第一中心線及該第二中心線，位在該核心接墊配置區域上之該些一般接墊有百分之九十以上係非訊號傳輸功能，該些第一中心接墊位在該第一中心線附近區域上，該些第二中心接墊位在該第二中心線附近區域上，該些第三中心接墊位在該第三中心線附近區域上，該些第四中心接墊位在該第四中心線附近區域上，

其特徵在於，在該第一中心線附近區域上，係排列有五排之該些第一中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越正中間一排之該些第一中心接墊，且作為訊號傳輸之該些第一中心接墊的數目除全部之該些第一中心接墊的數目所得之比值係小於及等於



六、申請專利範圍

2/7，二者擇一。

11. 如申請專利範圍第10項所述之覆晶封裝基板，其中在該第二中心線附近區域上，係排列有五排之該些第二中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越正中間一排之該些第二中心接墊，且作為訊號傳輸之該些第二中心接墊的數目除以全部之該些第二中心接墊的數目所得之比值係小於及等於2/7，二者擇一。

12. 如申請專利範圍第10項所述之覆晶封裝基板，其中在該第三中心線附近區域上，係排列有五排之該些第三中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越正中間一排之該些第三中心接墊，且作為訊號傳輸之該些第三中心接墊的數目除以全部之該些第三中心接墊的數目所得之比值係小於及等於2/7，二者擇一。

13. 如申請專利範圍第10項所述之覆晶封裝基板，其中在該第二中心線附近區域上，係排列有五排之該些第二中心接墊，其排列方向係與該第一中心線平行，而該第一中心線係橫越正中間一排之該些第二中心接墊，且作為訊號傳輸之該些第二中心接墊的數目除以全部之該些第二中心接墊的數目所得之比值係小於2/7，在該第三中心線附近區域上，係排列有五排之該些第三中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越正中間一排之該些第三中心接墊，且作為訊號傳輸之該些第三中心接墊的數目除以全部之該些第三中心接墊的數目所得之比值係小於及等於2/7，二者擇一，而在該第四中心線附



六、申請專利範圍

近區域上，係排列有五排之該些第四中心接墊，其排列方向係與該第二中心線平行，而該第二中心線係橫越正中間一排之該些第四中心接墊，且作為訊號傳輸之該些第四中心接墊的數目除以全部之該些第四中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

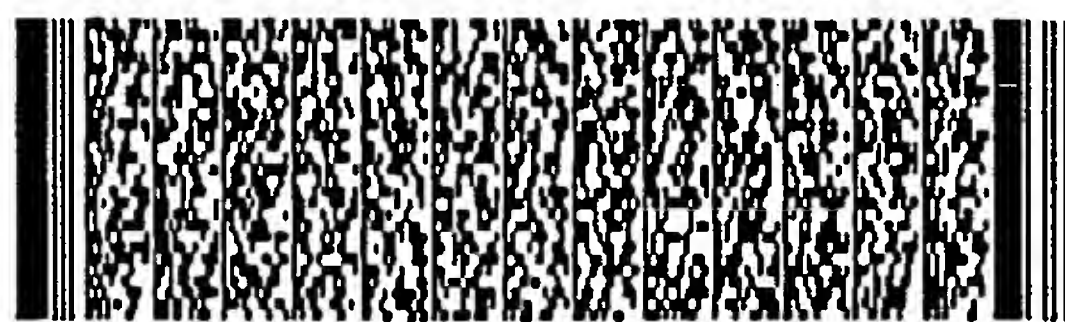
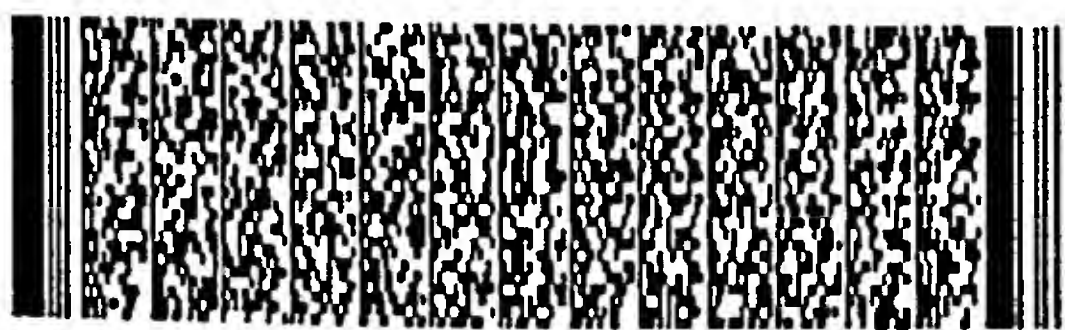
14. 如申請專利範圍第10項所述之覆晶封裝基板，其中該核心接墊配置區域係緊鄰該周邊接墊配置區域。

15. 如申請專利範圍第10項所述之覆晶封裝基板，其中該核心接墊配置區域係與該周邊接墊配置區域之間隔有一段距離。

16. 一種覆晶封裝基板，具有一第一表面及對應之一第二表面，該晶片適於配置在該基板之該第一表面上，並與該基板電性連接，該晶片具有一中心線，係等分該晶片，而該基板還具有一周邊接墊配置區域，位在該基板之該第二表面上，該周邊接墊配置區域具有一中心線附近區域，該中心線係橫越該中心線附近區域，該基板還具有複數個中心接墊，位在該中心線附近區域上，

其特徵在於，在該中心線附近區域上，該中心線的兩側分別排列有三排之該些中心接墊，其排列方向係與該中心線平行，而該中心線係橫越相鄰兩排之該些中心接墊之間，且作為訊號傳輸之該些中心接墊的數目除以全部之該些中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

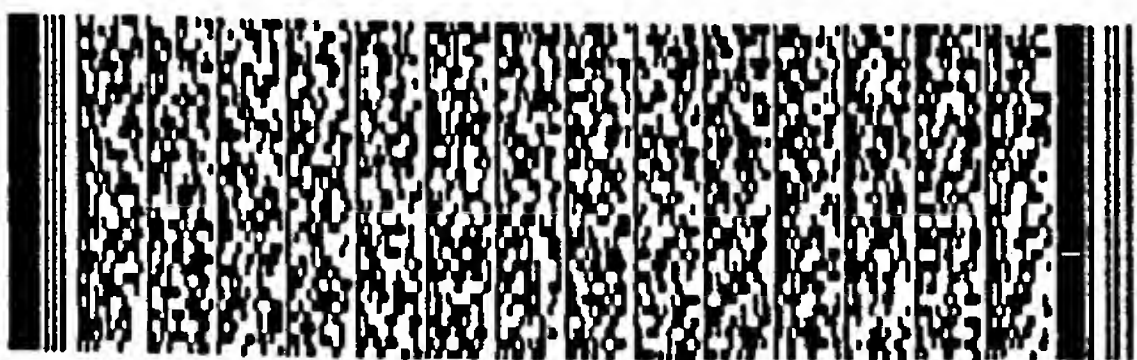
17. 一種覆晶封裝基板，具有一第一表面及對應之一

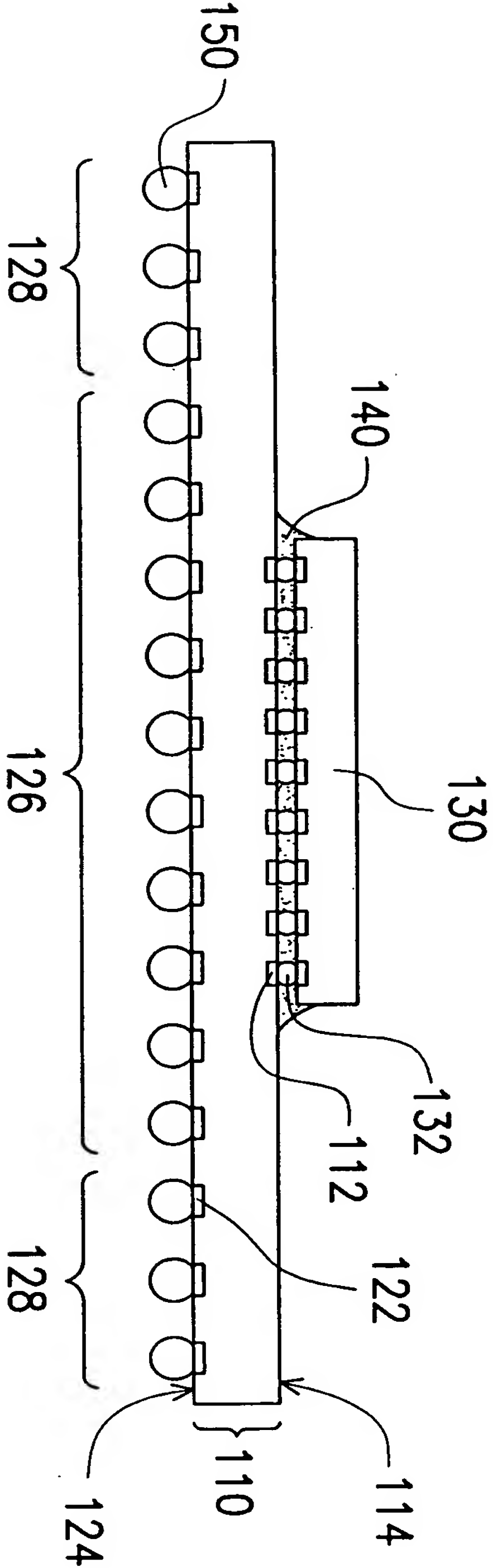


六、申請專利範圍

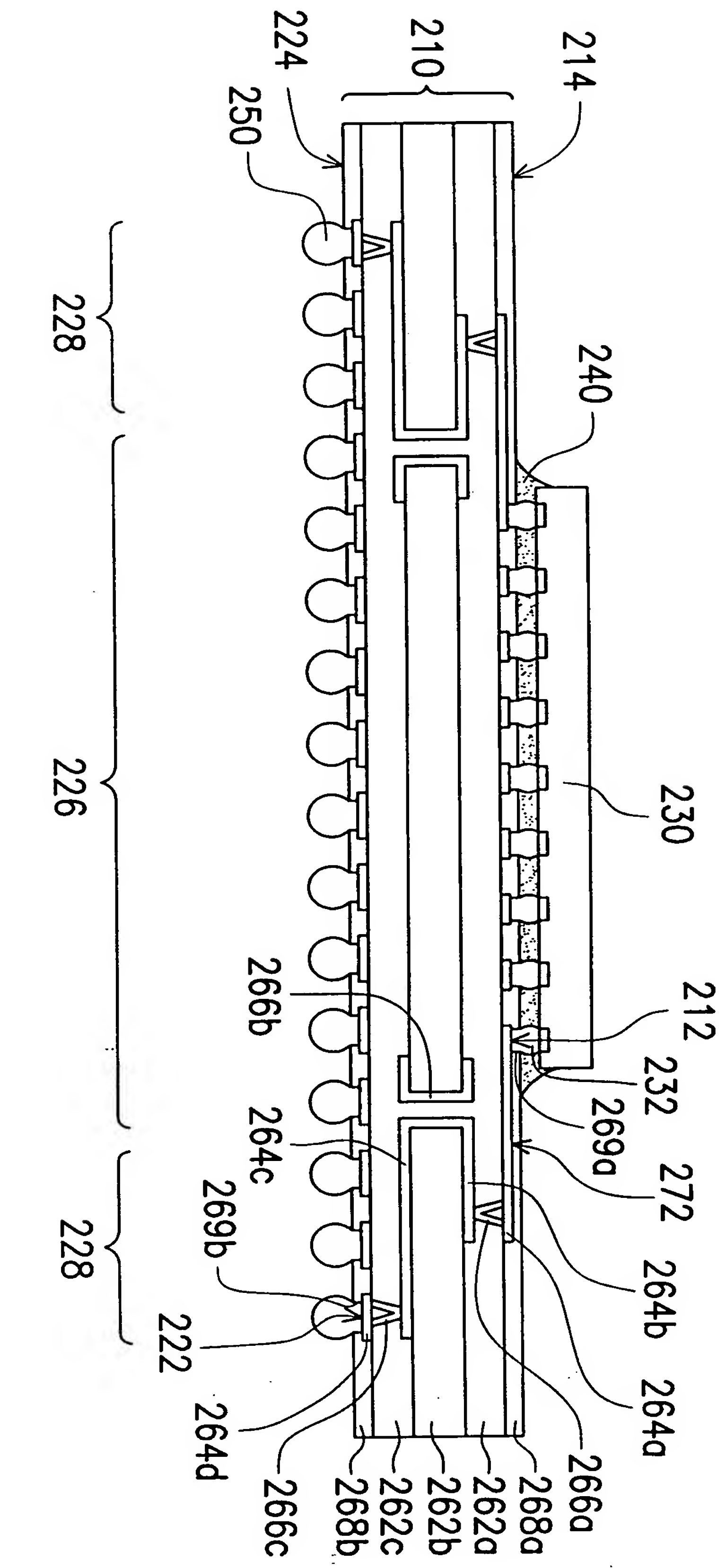
第二表面，該晶片適於配置在該基板之該第一表面上，並與該基板電性連接，該晶片具有一中心線，係等分該晶片，而該基板還具有一周邊接墊配置區域，位在該基板之該第二表面上，該周邊接墊配置區域具有一中心線附近區域，該中心線係橫越該中心線附近區域，該基板還具有複數個中心接墊，位在該中心線附近區域上，

其特徵在於，在該中心線附近區域上，係排列有五排之該些中心接墊，其排列方向係與該中心線平行，而該中心線係橫越正中間一排之該些中心接墊，且作為訊號傳輸之該些中心接墊的數目除以全部之該些中心接墊的數目所得之比值係小於及等於 $2/7$ ，二者擇一。

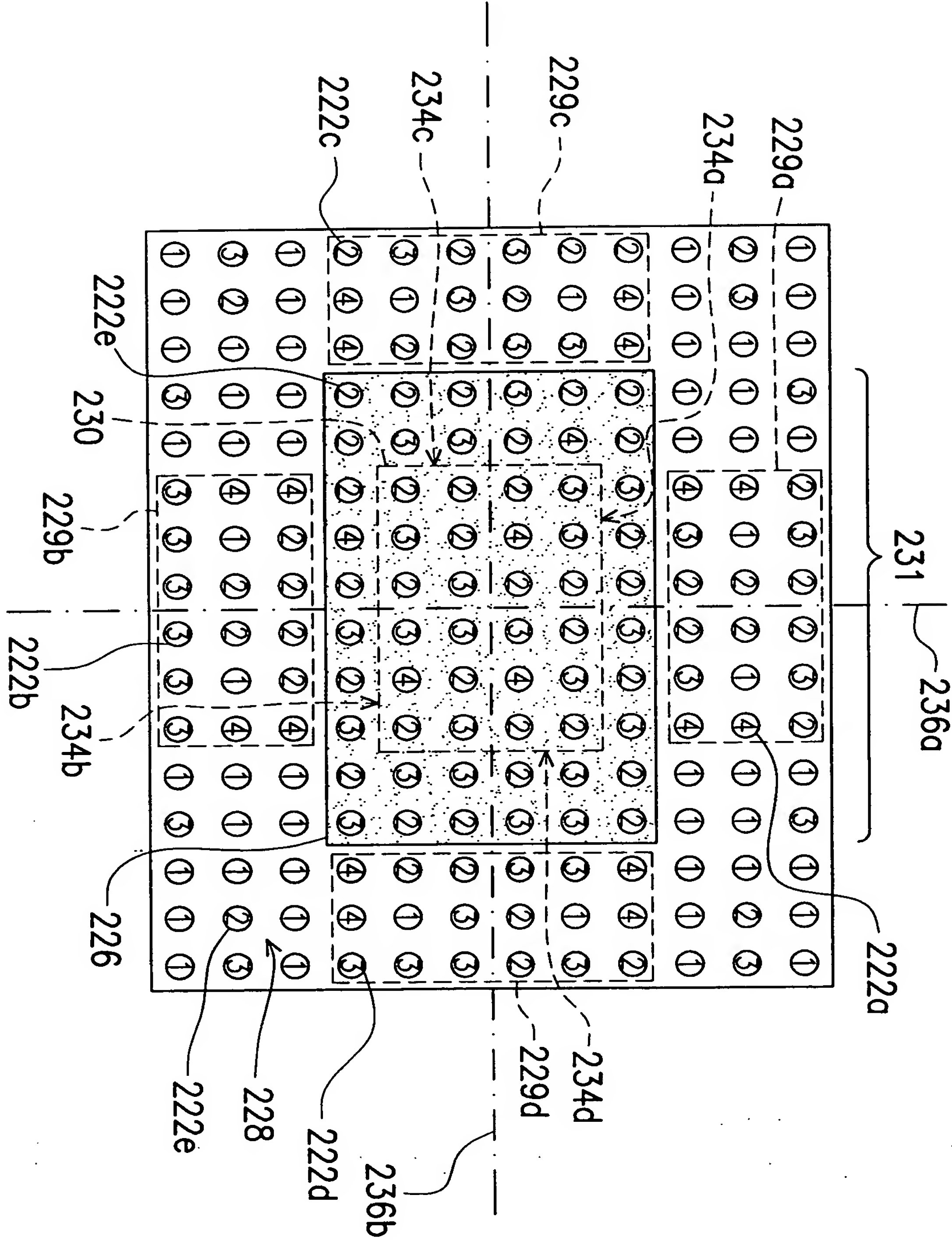




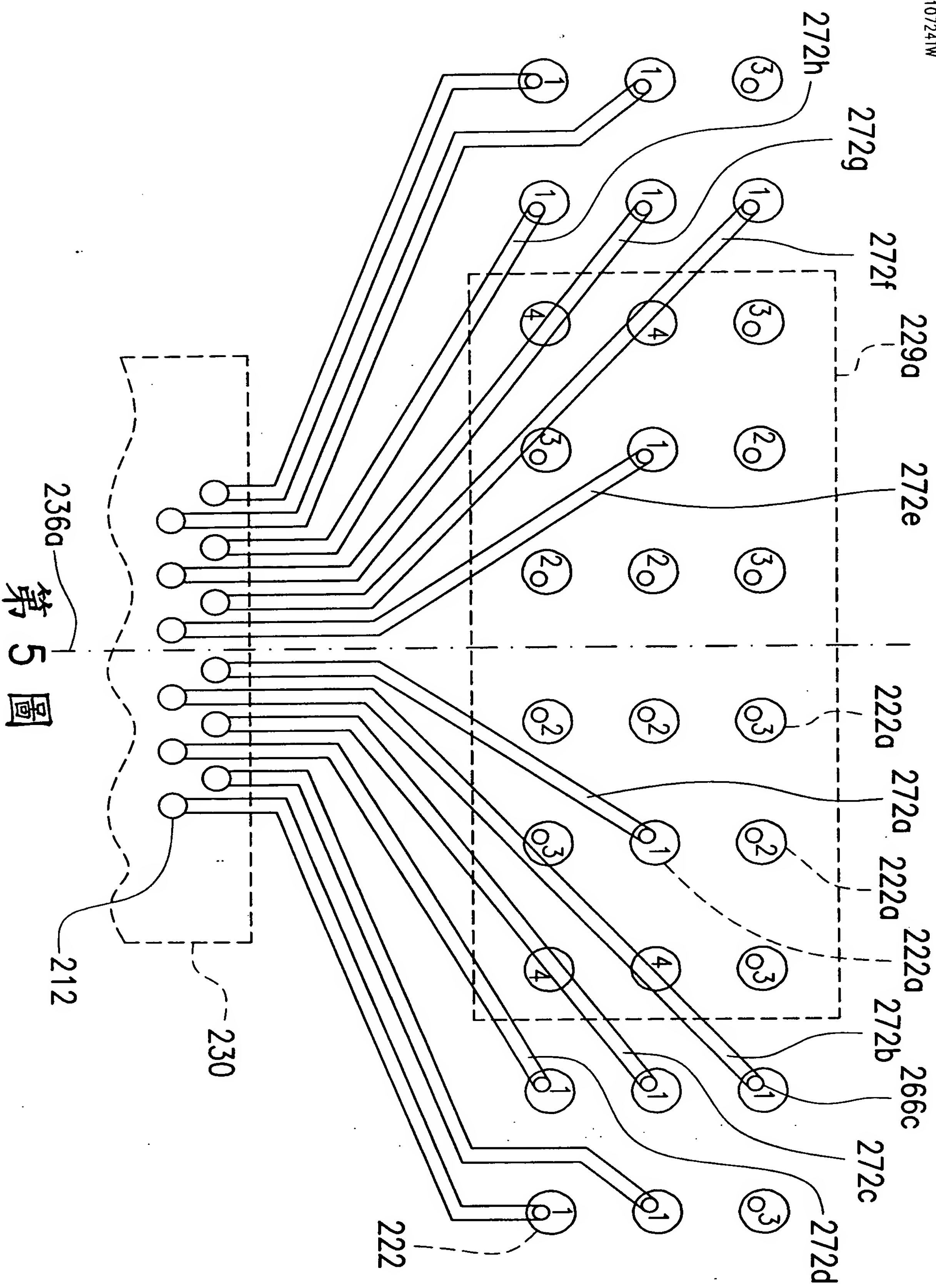
第 1 圖

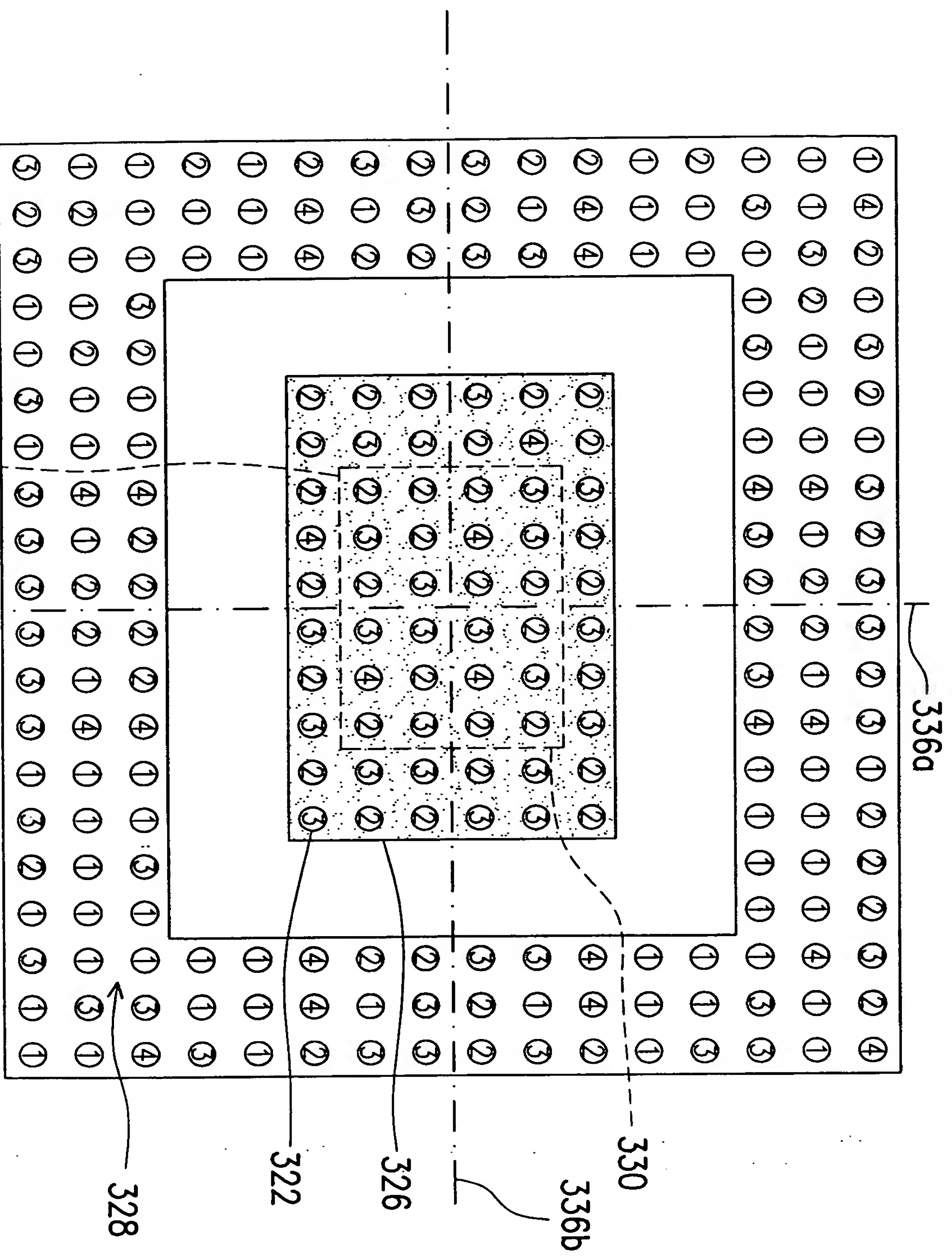


第 3 圖

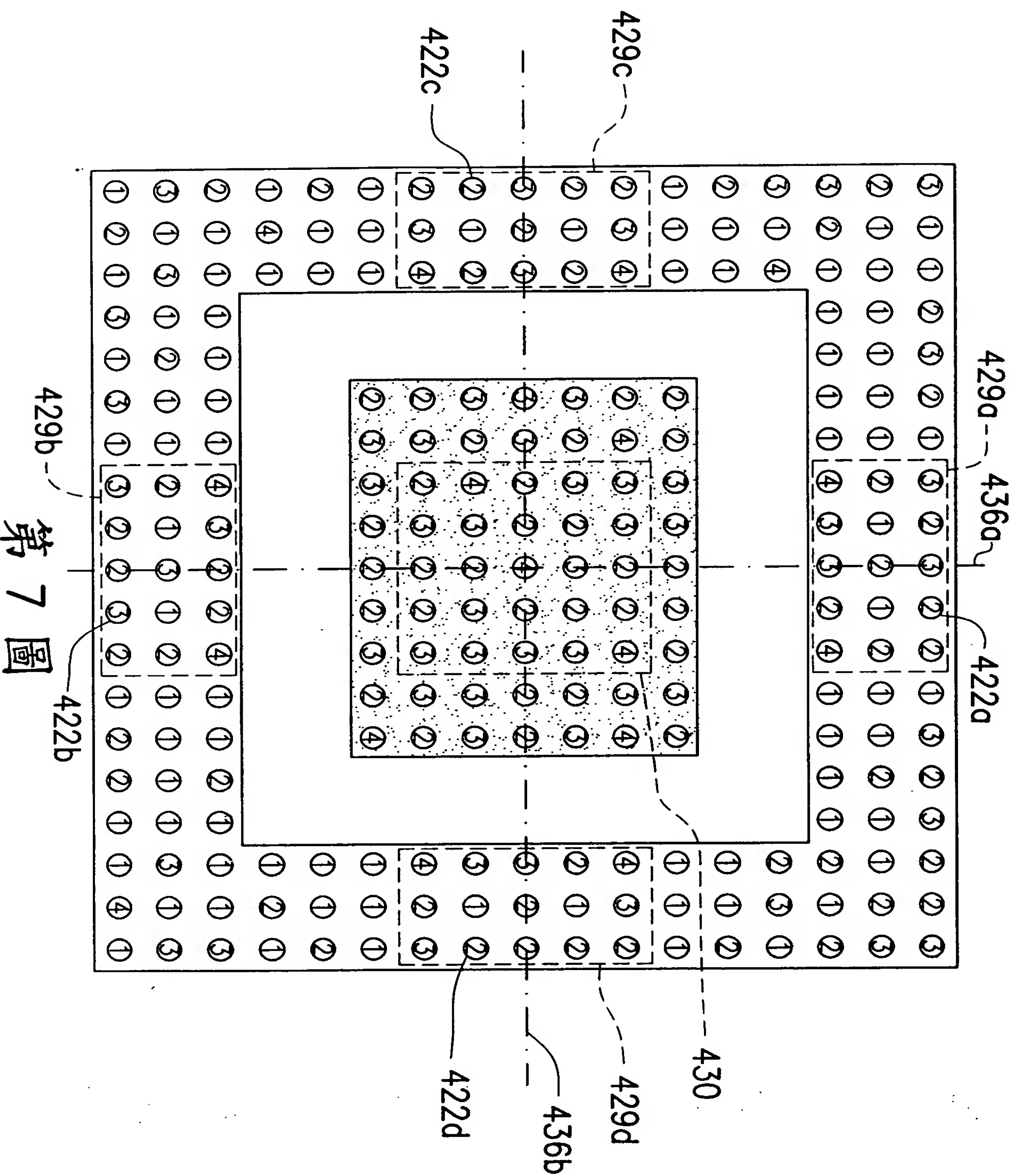


第 4 圖

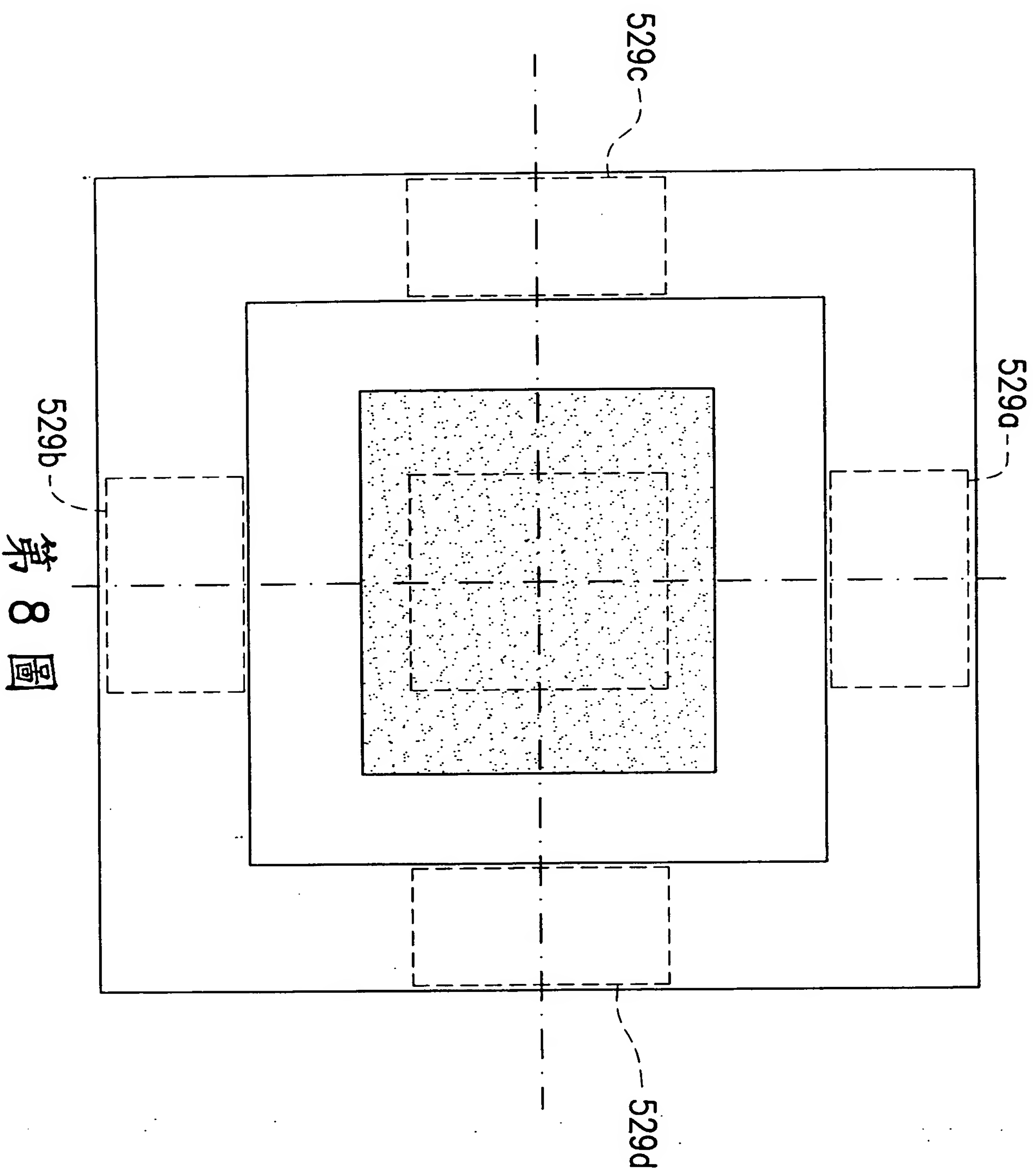




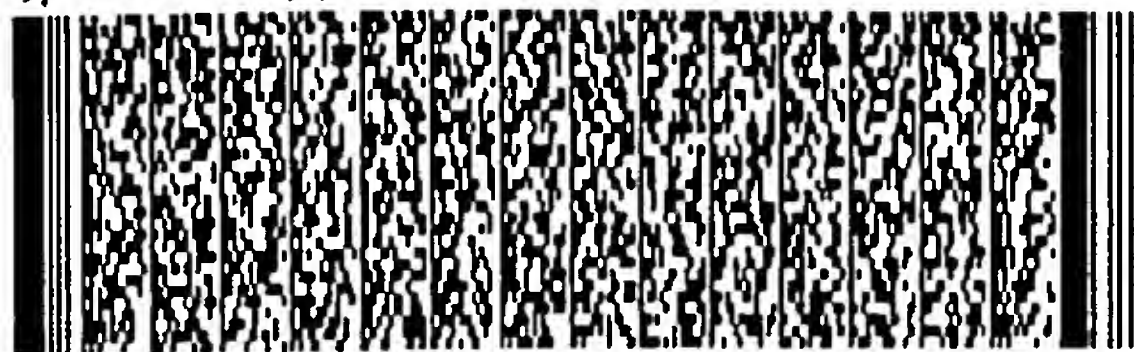
330 第 6 圖



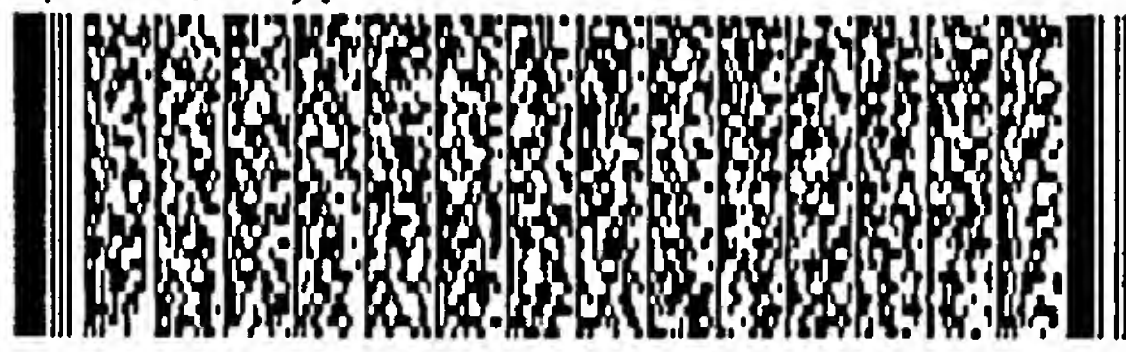
第 7 圖



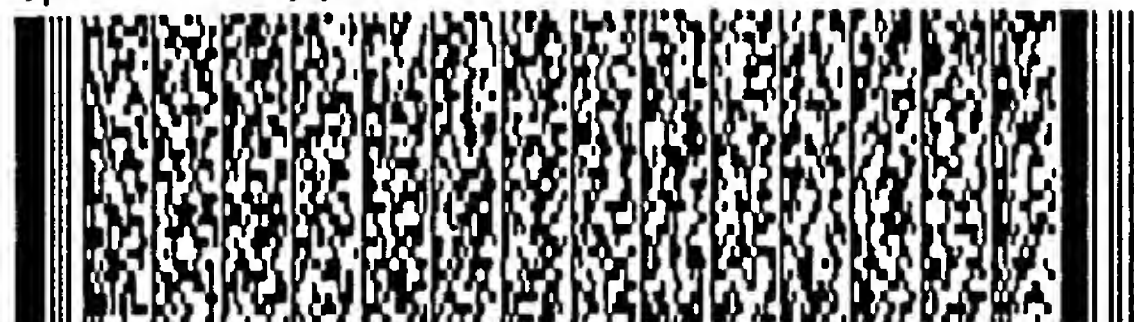
第 1/31 頁



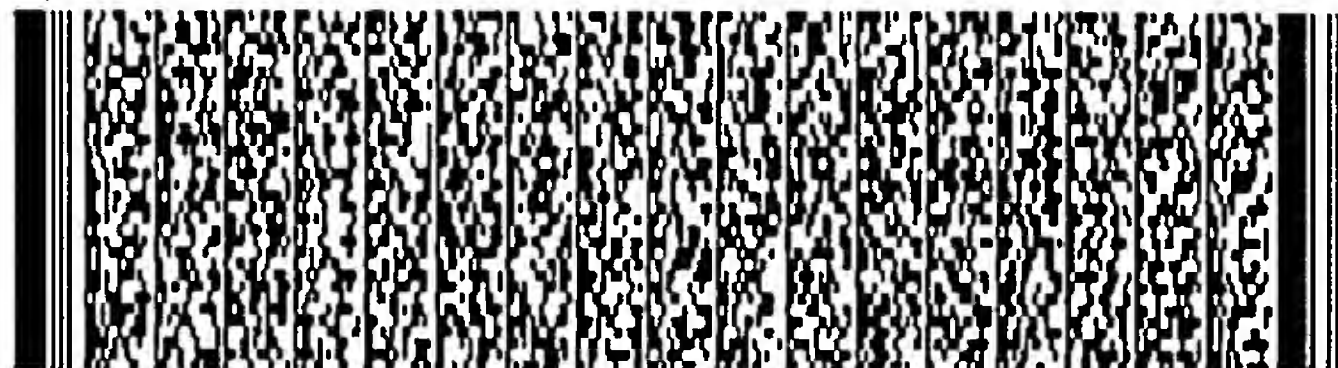
第 2/31 頁



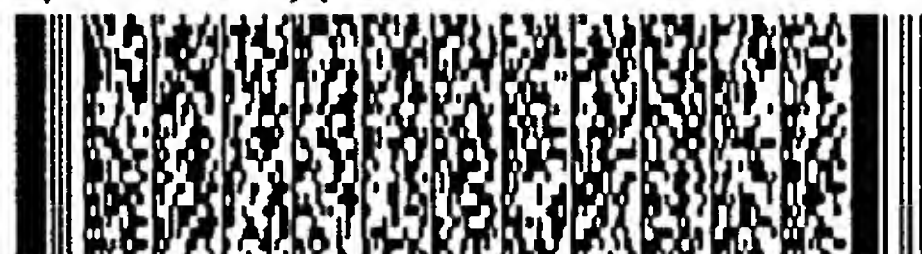
第 2/31 頁



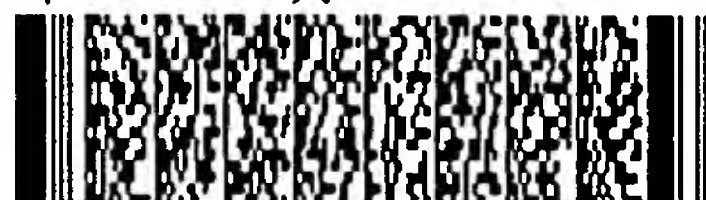
第 3/31 頁



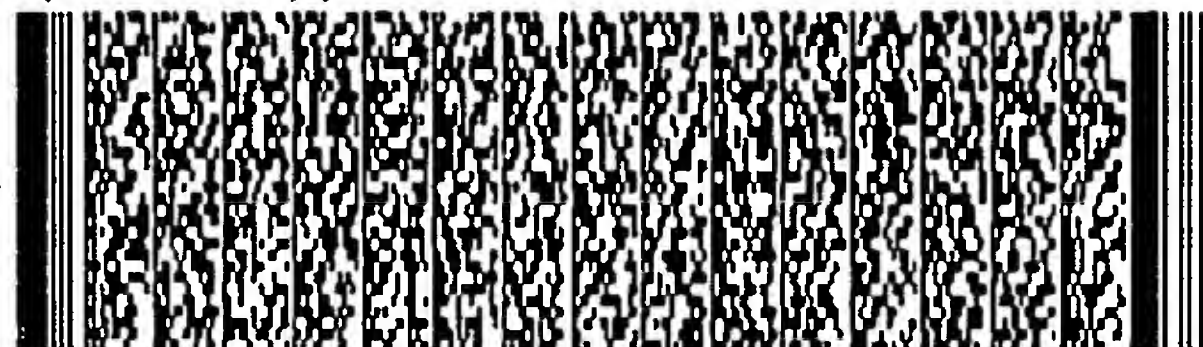
第 4/31 頁



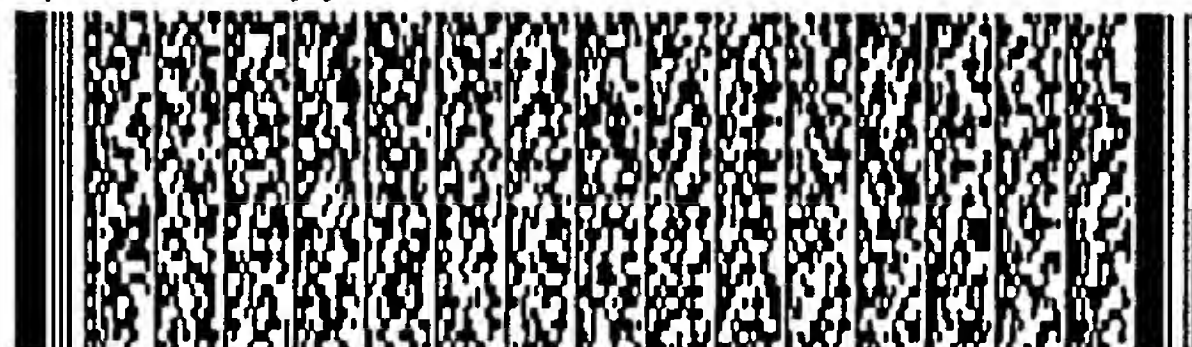
第 5/31 頁



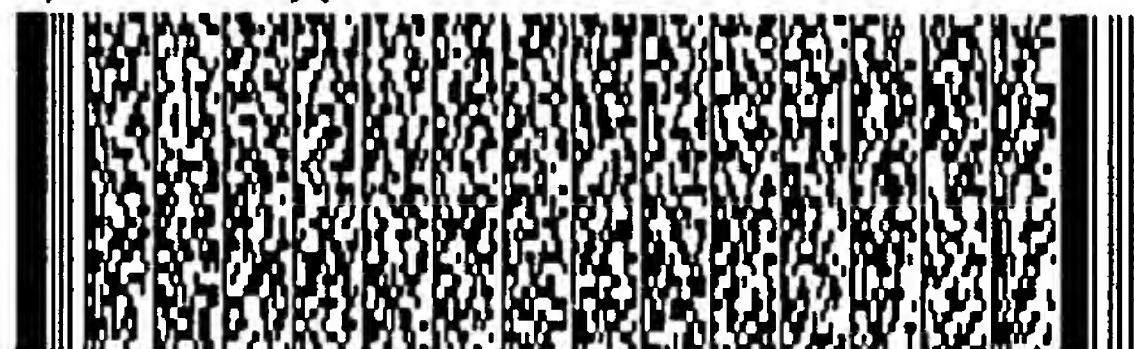
第 6/31 頁



第 6/31 頁



第 7/31 頁



第 7/31 頁



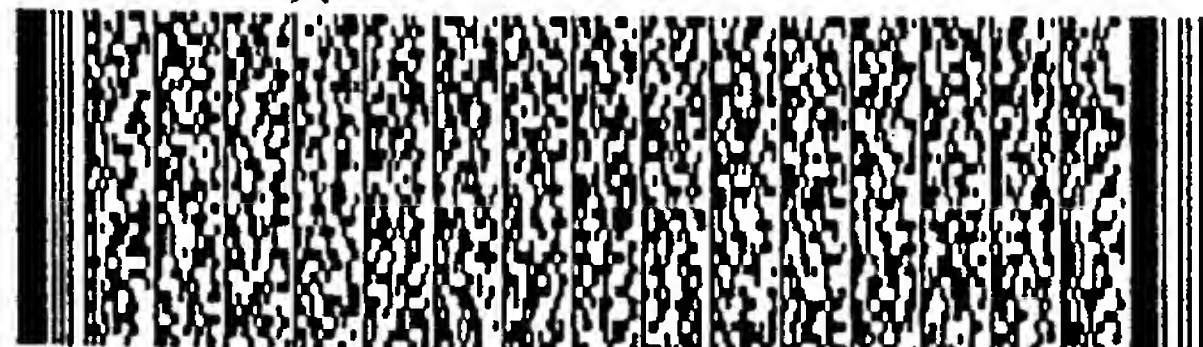
第 8/31 頁



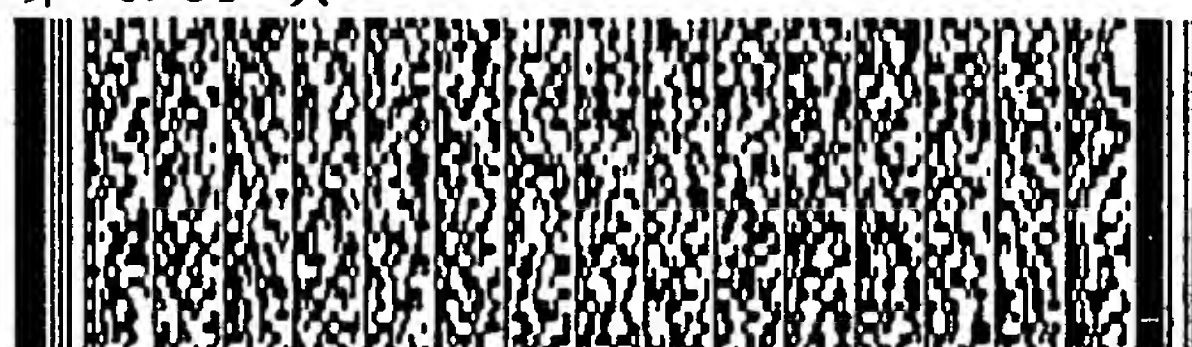
第 8/31 頁



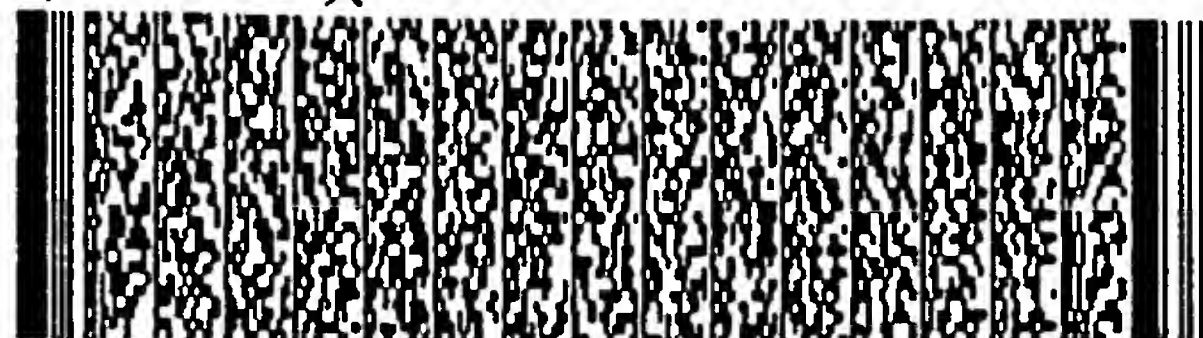
第 9/31 頁



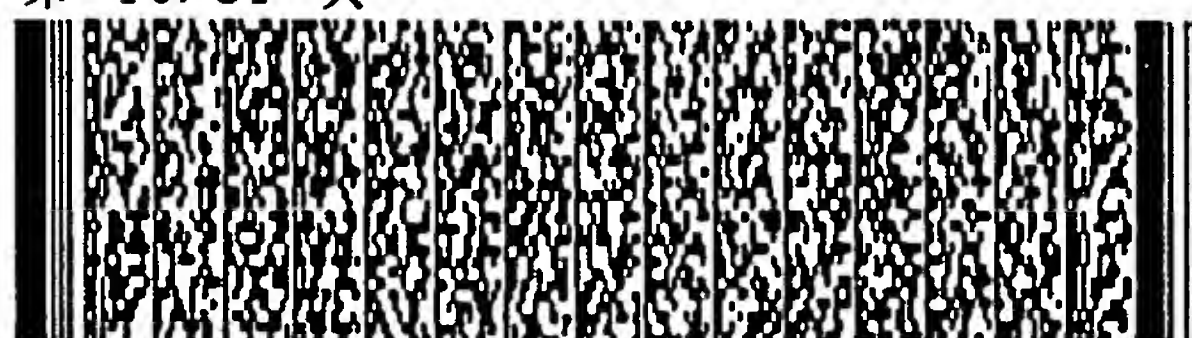
第 9/31 頁



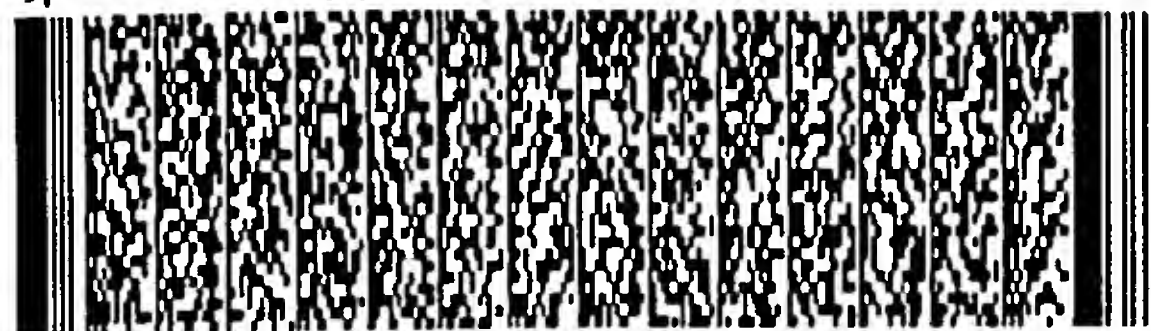
第 10/31 頁



第 10/31 頁



第 21/31 頁



第 22/31 頁



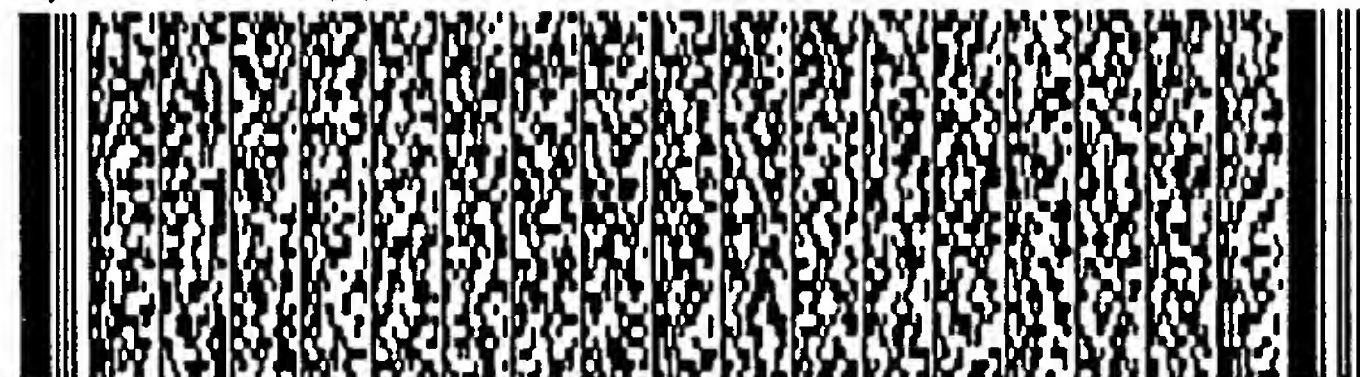
第 23/31 頁



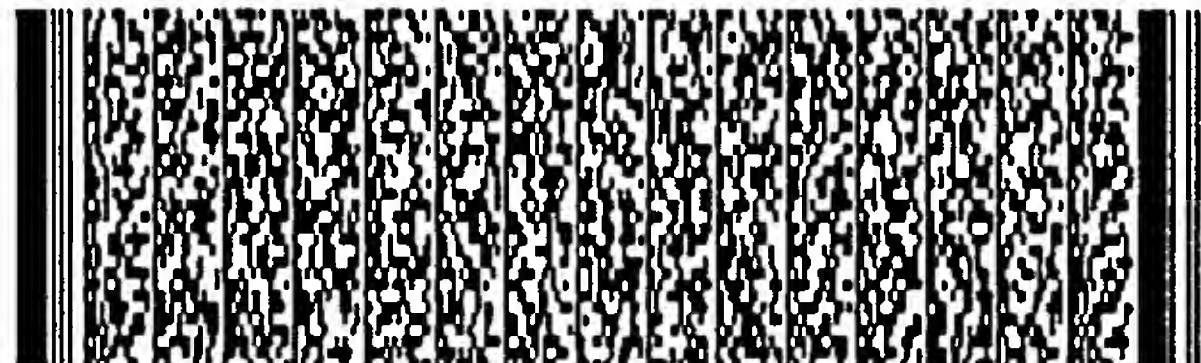
第 23/31 頁



第 24/31 頁



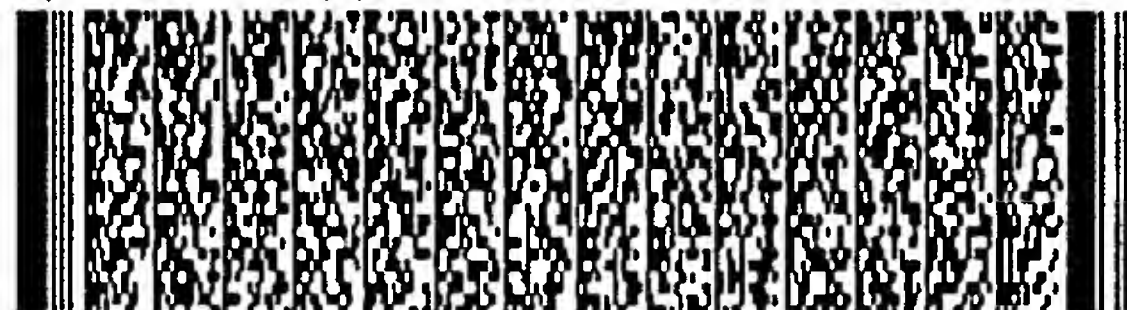
第 25/31 頁



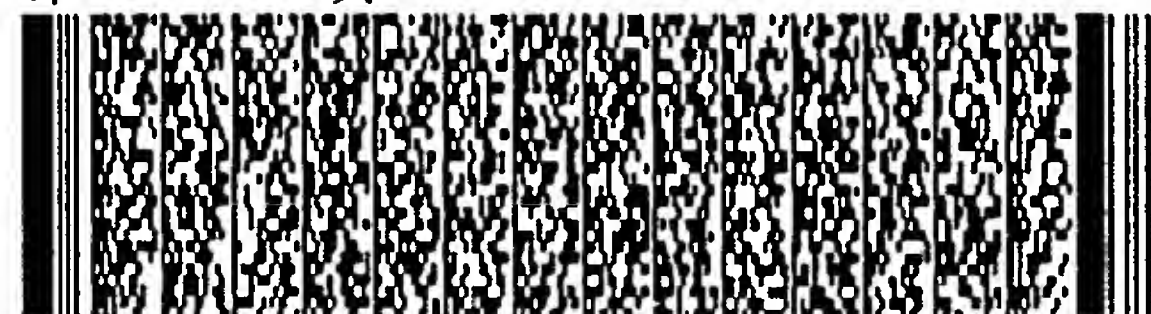
第 26/31 頁



第 27/31 頁



第 27/31 頁



第 28/31 頁



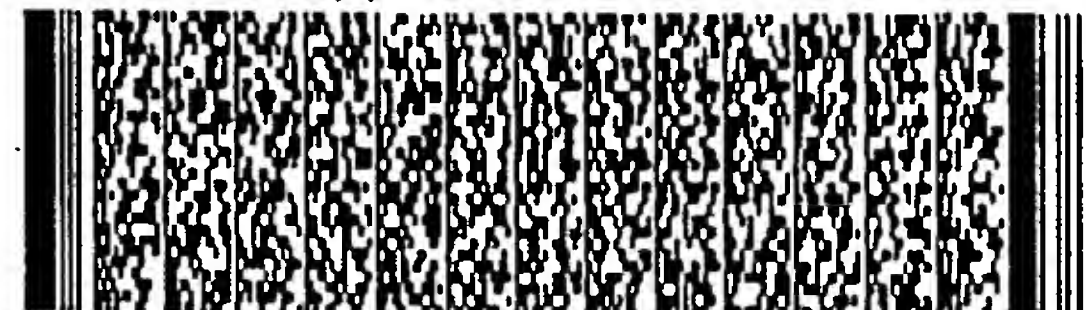
第 28/31 頁



第 29/31 頁



第 30/31 頁



第 30/31 頁



第 31/31 頁

